

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243973

(43)Date of publication of application : 08.09.2000

(51)Int.Cl.

H01L 29/786

H01L 21/762

H01L 27/08

(21)Application number : 11-177091

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 23.06.1999

(72)Inventor : YAMAGUCHI YASUO  
MAEKAWA SHIGETO  
IPPOSHI TAKASHI  
IWAMATSU TOSHIAKI  
MAEDA SHIGENOBU  
HIRANO YUICHI  
MATSUMOTO TAKUJI  
MIYAMOTO SHOICHI

(30)Priority

Priority number : 10367265

Priority date : 24.12.1998

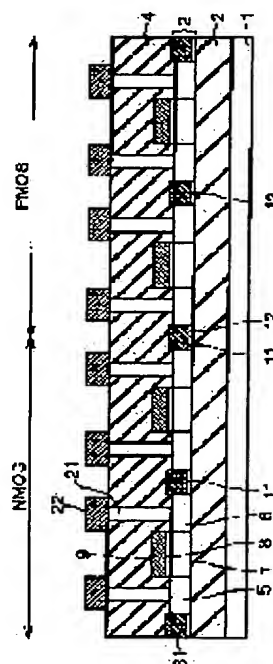
Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF AND METHOD OF DESIGNING SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an SOI-structure semiconductor device in which a substrate floating effect is reduced.

SOLUTION: Each transistor forming region in an SOI layer 3 is isolated by a partial oxide film 31 having a lower layer part where a well region is formed. A p-type well region 11 is formed in the lower layer of the partial oxide film 31 for separating NMOS transistors. An n-type well region 12 is formed in the lower layer of the partial oxide film 31 for separating PMOS transistors. A p-type well region 11 and an n-type well region 12 are formed adjacent to each other in the lower layer of the partial oxide film 31 separating an NMOS transistor and a PMOS transistor. A body region is in contact with an adjacent well region 11. A wiring layer formed on an interlayer insulating film 4 is electrically connected to the body region via a body contact provided in the interlayer insulating film 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-243973

(P 2 0 0 0 - 2 4 3 9 7 3 A)

(43)公開日 平成12年9月8日(2000.9.8)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ド (参考)		
H01L 29/786		H01L 29/78	626	B	5F032
21/762		27/08	331	E	5F048
27/08	331	21/76		D	5F110
		29/78	621		

審査請求 未請求 請求項の数48 O L (全46頁)

(21)出願番号	特願平11-177091	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成11年6月23日(1999.6.23)	(72)発明者	山口 泰男 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(31)優先権主張番号	特願平10-367265	(72)発明者	前川 繁登 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(32)優先日	平成10年12月24日(1998.12.24)	(74)代理人	100089233 弁理士 吉田 茂明 (外2名)
(33)優先権主張国	日本 (J P)		

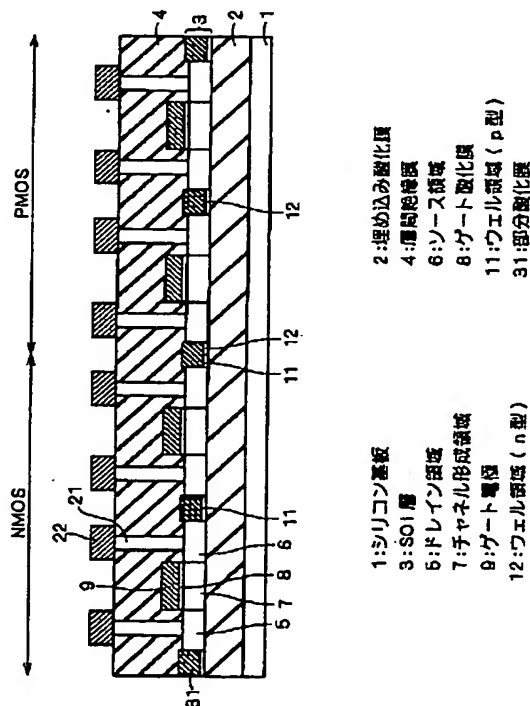
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法並びに半導体装置の設計方法

(57)【要約】

【課題】 基板浮遊効果の低減を図ったSOI構造の半導体装置を得る。

【解決手段】 SOI層3の各トランジスタ形成領域は下層部にウェル領域が形成される部分酸化膜31によって分離される。NMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11が形成され、PMOSTランジスタ間を分離する部分酸化膜31の下層にn型のウェル領域12が形成され、NMOSTランジスタ、PMOSTランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11及びn型のウェル領域12が隣接して形成される。ボディー領域は隣接するウェル領域11に接している。層間絶縁膜4上に形成された配線層は、層間絶縁膜4中に設けられたボディーコンタクトを介してボディー領域と電氣的に接続される。



## 【特許請求の範囲】

【請求項 1】 半導体基板、埋め込み絶縁層及び S O I 層 3 からなる S O I 構造の半導体装置であって、前記 S O I 層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記 S O I 層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、前記 S O I 層に設けられ、外部から電位固定可能なボディー領域とを備え、前記素子分離領域のうち少なくとも一部の領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記 S O I 層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は、前記複数の前記素子形成領域のうちの少なくとも 1 つの素子形成領域及び前記ボディー領域と接して形成されることを特徴とする、半導体装置。

【請求項 2】 前記複数の素子形成領域は、第 1 の素子用の複数の第 1 の素子形成領域と第 2 の素子用の複数の第 2 の素子形成領域とを含み、前記素子分離領域は前記 S O I 層を貫通した完全絶縁領域を含む完全分離領域をさらに含み、前記部分分離領域は第 1 及び第 2 の部分分離領域を含み、前記複数の第 1 の素子形成領域はそれぞれ前記第 1 の部分分離領域によって素子分離され、前記複数の第 2 の素子形成領域はそれぞれ前記第 2 の部分分離領域によって素子分離され、前記複数の第 1 の素子形成領域と前記複数の第 2 の素子形成領域とは前記完全分離領域によって素子分離される、請求項 1 記載の半導体装置。

【請求項 3】 前記複数の素子形成領域は、第 1 の回路用の複数の素子形成領域と第 2 の回路用の複数の素子形成領域とを含み、前記第 1 の回路用の複数の素子形成領域は前記 S O I 層を貫通した完全分離領域によって素子分離され、前記第 2 の回路用の複数の素子形成領域は前記部分分離領域によって素子分離される、請求項 1 記載の半導体装置。

【請求項 4】 前記 S O I 層は第 1 及び第 2 の部分 S O I 層を含み、前記第 1 の部分 S O I 層の膜厚は前記第 2 の部分 S O I 層の膜厚よりも薄く形成され、前記複数の第 1 の素子形成領域は前記第 1 の部分 S O I 層に形成され、前記複数の第 2 の素子形成領域は前記第 2 の部分 S O I 層に形成される、請求項 3 記載の半導体装置。

【請求項 5】 前記複数の素子形成領域は、所定の回路用素子形成領域と該所定の回路以外の他の回路用素子形成領域とを含み、前記所定の回路用素子形成領域と前記他の回路用素子形成領域とは前記 S O I 層を貫通した完全分離領域によって素子分離される、請求項 1 記載の半導体装置。

【請求項 6】 前記複数の素子形成領域のうち、前記部分分離領域によって素子分離された素子形成領域に形成

される素子の活性領域の前記 S O I 層表面から形成深さは、前記部分分離領域の形成深さより浅い請求項 1 ないし請求項 5 のうちいずれか 1 項に記載の半導体装置。

【請求項 7】 前記半導体領域はポリシリコン領域を含む、請求項 1 ないし請求項 5 のうちいずれか 1 項に記載の半導体装置。

【請求項 8】 前記部分絶縁領域は誘電率が前記埋め込み絶縁層より低い低誘電率膜を含む、請求項 1 ないし請求項 5 のうちいずれか 1 項に記載の半導体装置。

【請求項 9】 前記部分絶縁領域は少なくとも側面に設けられた部分絶縁膜とそれ以外の領域に設けられ、誘電率が前記部分絶縁膜より低い低誘電率膜とを含む、請求項 1 ないし請求項 5 のうちいずれか 1 項に記載の半導体装置。

【請求項 10】 前記素子分離領域は複数の素子分離領域を含み、前記複数の素子分離領域の少なくとも 1 つの領域は所定の形成幅で前記半導体基板の表面に対しほぼ垂直に延びて形成される、請求項 1 ないし請求項 9 のうちいずれか 1 項に記載の半導体装置。

【請求項 11】 半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の半導体装置であって、前記 S O I 層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記 S O I 層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、外部から電位固定可能なボディー領域とを備え、前記ボディー領域は、前記複数の素子形成領域のうち、少なくとも 1 つの素子形成領域の表面あるいは裏面に接するように形成される、半導体装置。

【請求項 12】 前記ボディー領域は、前記埋め込み絶縁層の上層部に形成され、前記少なくとも 1 つの素子形成領域の裏面に接することを特徴とする、請求項 11 記載の半導体装置。

【請求項 13】 前記ボディー領域は、前記埋め込み絶縁層を貫通して形成され、前記少なくとも 1 つの素子形成領域の裏面に接することを特徴とする、請求項 11 記載の半導体装置。

【請求項 14】 前記ボディー領域は、前記少なくとも 1 つの素子形成領域の上方に設けられ、前記少なくとも 1 つの素子形成領域の表面に接することを特徴とする、請求項 11 記載の半導体装置。

【請求項 15】 前記素子分離領域のうち少なくとも一部の領域は、前記 S O I 層を貫通した完全絶縁領域と前記部分分離領域とが連続して形成される複合分離領域を含む、請求項 1 記載の半導体装置。

【請求項 16】 前記部分分離領域の上面は凹凸なく均一に形成される、請求項 15 記載の半導体装置。

【請求項 17】 前記複合分離領域の前記半導体領域の膜厚は、前記 S O I 層の膜厚の  $1/2$  以下に設定される、請求項 15 記載の半導体装置。

【請求項 18】 前記複合分離領域において前記完全絶縁領域の形成幅は前記複合分離領域全体の形成幅の 1/2 以下に設定される、請求項 15 記載の半導体装置。

【請求項 19】 前記素子分離領域は前記 SOI 層を貫通した完全絶縁領域を有する完全分離領域を含み、前記複数の素子形成領域は互いに隣接して形成される入出力 NMOS トランジスタ形成領域及び入出力 PMOS トランジスタ形成領域を含み、前記完全分離領域は少なくとも前記入出力 NMOS トランジスタ形成領域と前記入出力 PMOS トランジスタ形成領域との境界近傍領域に形成される、請求項 1 記載の半導体装置。

【請求項 20】 前記素子形成領域は入出力 NMOS トランジスタ形成領域あるいは入出力 PMOS トランジスタ形成領域と隣接して形成される内部回路形成領域をさらに含み、前記完全分離領域は、前記入出力 NMOS トランジスタ形成領域及び前記入出力 PMOS トランジスタ形成領域のうち前記内部回路形成領域と隣接配置された領域と前記内部回路形成領域との境界近傍領域にさらに形成される、請求項 19 記載の半導体装置。

【請求項 21】 前記素子分離領域は前記 SOI 層を貫通した完全絶縁領域を含む完全分離領域を含み、前記複数の素子形成領域は互いに隣接して形成される NMOS トランジスタ形成領域及び PMOS トランジスタ形成領域を含み、前記完全分離領域は、前記 NMOS トランジスタ形成領域と前記入出力 PMOS トランジスタ形成領域との境界近傍の前記 PMOS トランジスタ形成領域内である完全分離領域域形成箇所形成箇所に形成され、前記部分分離領域は前記 NMOS トランジスタ形成領域の周辺領域、及び前記完全分離領域形成箇所を除く前記 NMOS トランジスタ形成領域の周辺領域に形成される、請求項 1 記載の半導体装置。

【請求項 22】 前記素子分離領域は前記 SOI 層を貫通した完全絶縁領域を含む完全分離領域を含み、前記複数の素子形成領域は MOS トランジスタ形成領域を含み、前記部分分離領域は前記 MOS トランジスタ領域のゲート電極の少なくとも一端近傍の部分分離領域形成箇所に形成され、前記完全絶縁領域は、は前記部分分離領域形成箇所を除く前記 MOS トランジスタ形成領域の周辺領域に形成される、請求項 1 記載の半導体装置。

【請求項 23】 前記複数の素子形成領域は第 1 の導電型のトランジスタ形成領域を含み、前記部分分離領域は前記トランジスタ形成領域の周囲を囲って形成される周辺部分分離領域を含み、前記ボディー領域は、前記周辺部分分離領域の周囲を囲って形成される第 2 の導電型の周辺ボディー領域を含

む、請求項 1 記載の半導体装置。

【請求項 24】 前記複数の素子形成領域は MOS トランジスタ形成領域を含み、前記ボディー領域は前記 MOS トランジスタ形成領域のソース領域に隣接して形成されるソース隣接ボディー領域を含み、前記ソース領域及び前記ソース隣接ボディー領域に共通接続される電位設定領域をさらに備える、請求項 1 記載の半導体装置。

【請求項 25】 前記部分分離領域における半導体領域は第 1 及び第 2 の部分半導体領域を含み、前記第 1 の部分半導体領域の不純物濃度を前記第 2 の部分半導体領域の不純物濃度よりも高く設定したことを特徴とする、請求項 1 記載の半導体装置。

【請求項 26】 前記第 1 の部分半導体領域は前記複数の素子形成領域のうち分離対象の素子形成領域に隣接して形成される周辺領域を含み、前記第 2 の部分半導体領域は前記周辺領域を除く前記半導体領域である中心領域を含む、

請求項 25 記載の半導体装置。

【請求項 27】 前記複数の素子形成領域は MOS トランジスタ形成領域を含み、前記部分分離領域は前記 MOS トランジスタ形成領域の周囲を囲って形成され、前記第 1 の部分半導体領域は前記 MOS トランジスタ形成領域のゲート電極近傍領域を含み、前記第 2 の部分半導体領域は前記 MOS トランジスタ形成領域のドレイン／ソース近傍領域を含む、請求項 25 記載の半導体装置。

【請求項 28】 前記複数の素子形成領域は第 1 の導電型の MOS トランジスタ形成領域を含み、前記部分分離領域の前記半導体領域は第 2 の導電型の領域を含み、前記部分分離領域における前記半導体領域の不純物濃度のピークが、前記 MOS トランジスタ形成領域内で前記半導体領域に接して形成されるドレイン／ソース領域の不純物濃度のピークより、前記 SOI 層の表面からの深さが深くなるように設定される、請求項 1 記載の半導体装置。

【請求項 29】 前記複数の素子形成領域は MOS トランジスタ形成領域を含み、前記 MOS トランジスタ形成領域のチャネル形成領域の不純物濃度のピークが、前記部分分離領域における前記半導体領域の不純物濃度のピークより、SOI 層の表面からの深さが深くなるように設定される、請求項 1 記載の半導体装置。

【請求項 30】 前記複合分離領域における半導体領域は、前記完全絶縁領域に隣接して形成される第 1 の部分半導体領域とそれ以外の前記半導体領域である第 2 の部分半導体領域とを含み、前記第 1 の部分半導体領域の不純物濃度を前記第 2 の部

10

20

30

40

50

分半導体領域の不純物濃度よりも高く設定したことを特徴とする、請求項 15 記載の半導体装置。

【請求項 31】 前記部分分離領域の表面における角部の曲率半径より底面における角部の曲率半径を大きくするように設定したことを特徴とする、請求項 1 記載の半導体装置。

【請求項 32】 前記複合分離領域において、前記部分絶縁領域の底面における角部の曲率半径より前記絶縁分離領域と前記部分絶縁領域との間に生じる段差部の曲率半径を小さくしたことを特徴とする、請求項 15 記載の半導体装置。

【請求項 33】 前記素子分離領域は前記 SOI 層を貫通した完全絶縁領域を有する完全分離領域を含み、前記 SOI 層の上層部のインダクタンス形成領域に形成されるインダクタンス成分をさらに備え、前記完全分離領域は前記インダクタンス形成領域の下方に形成される、請求項 1 記載の半導体装置。

【請求項 34】 前記複数の素子形成領域は MOS トランジスタ形成領域を含み、前記ボディ領域は前記 MOS トランジスタ形成領域に形成される MOS トランジスタのゲート電極に電気的に接続されるゲート接続ボディ領域を含み、前記部分分離領域は前記 MOS トランジスタ形成領域の周囲を囲って形成される、請求項 1 記載の半導体装置。

【請求項 35】 前記半導体領域は第 1 の導電型の領域を含み、前記素子の活性領域は第 2 の導電型を含み、前記素子の活性領域の形成深さはビルトイン状態時に前記素子の活性領域から伸びる空乏層が前記埋め込み絶縁層に到達しないレベルに設定される、請求項 6 記載の半導体装置。

【請求項 36】 前記複数の素子形成領域はフィールドトランジスタ形成領域を含み、前記フィールドトランジスタ形成領域内に形成されるフィールドトランジスタは、互いに独立して形成される第 1 及び第 2 の活性領域と、前記第 1 及び第 2 の活性領域間に形成され、上層部に設けられたフィールドトランジスタ用部分絶縁領域と下層部に存在する前記 SOI 層の一部であるフィールドトランジスタ用半導体領域とから構成されるゲート部とを含む、請求項 1 記載の半導体装置。

【請求項 37】 半導体基板、埋め込み絶縁層及び SOI 層からなる SOI 構造の半導体装置であって、前記 SOI 層に設けられ、所定の素子が形成される素子形成領域と、前記 SOI 層に設けられ、前記素子形成領域の周囲を囲って形成される周辺素子分離領域とを備え、前記周辺素子分離領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記 SOI 層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は少なくとも 1 つの前記素子形成領域に

接して形成されるとともに、フローティング状態に設定される、半導体装置。

【請求項 38】 (a)半導体基板、埋め込み絶縁層及び SOI 層からなる SOI 構造の SOI 基板を準備するステップと、

(b)前記 SOI 層を選択的に表面から貫通させることなく除去して、複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記 SOI 層の領域が複数の素子形成領域となり、

(c)前記複数のトレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複数のトレンチのうち少なくとも 1 つのトレンチ内の絶縁膜と前記少なくとも 1 つのトレンチ下の前記 SOI 層とにより部分分離領域が構成され、

(d)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、半導体装置の製造方法。

【請求項 39】 前記複数のトレンチは第 1 及び第 2 のトレンチを含み、前記少なくとも 1 つのトレンチは前記第 1 のトレンチを含み、

前記ステップ(b)の後、ステップ(c)の前に、

(e)前記第 1 及び第 2 のトレンチのうち、前記第 2 のトレンチの底部から前記 SOI 層をさらに除去して、前記 SOI 層を貫通させるステップをさらに備え、前記ステップ(c)によって、前記第 1 のトレンチ内の絶縁膜と前記第 1 のトレンチ下の前記 SOI 層とにより前記部分分離領域が構成され、前記 SOI 層を貫通した前記第 2 のトレンチ内の絶縁膜により完全分離領域が構成される、請求項 38 記載の半導体装置の製造方法。

【請求項 40】 前記第 2 のトレンチの形成幅は前記第 1 のトレンチの形成幅より広く、

前記ステップ(b)は、

(b-1)前記第 1 のトレンチの底面は塞がり、第 2 のトレンチの底面の中心部は露出する程度に、前記第 1 及び第 2 のトレンチそれぞれの側面に側壁体を形成するステップと、

(b-2)前記側壁体をマスクとして前記第 2 のトレンチの中心部下の前記 SOI 層を貫通させるステップと、を備える、請求項 39 記載の半導体装置の製造方法。

【請求項 41】 前記ステップ(b)の後、

(f)前記複数のトレンチの下方の前記 SOI 層に不純物を導入して高濃度領域を形成するステップをさらに備える、請求項 39 あるいは請求項 40 記載の半導体装置の製造方法。

【請求項 42】 (a)半導体基板、埋め込み絶縁層及びシリコン層からなる SOI 構造の SOI 基板を準備するステップと、

(b)前記シリコン層を選択的に除去し貫通させ貫通部を設けるステップと、

(c)前記シリコン層の前記貫通部に前記シリコン層の表

面から突出するように第 1 の絶縁膜を埋め込むとともに、前記シリコン層上に第 2 の絶縁膜を選択的に形成するステップと、

(d)前記第 2 の絶縁膜が形成されていない前記シリコン層の表面から上方にかけてエピタキシャル成長させてエピタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エピタキシャル成長層とにより S O I 層が構成され、前記第 2 絶縁膜とその下方の前記シリコン層とにより部分分離領域が構成され、前記第 1 の絶縁膜により完全分離領域が構成され、

(e)前記部分分離領域あるいは前記完全分離領域によって素子分離される複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、半導体装置の製造方法。

【請求項 4 3】 (a)半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の S O I 基板を準備するステップと、

(b)前記 S O I 層を選択的に除去して、各々が前記 S O I 層を貫通した第 1 及び第 2 のトレンチからなる複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記 S O I 層の領域が複数の素子形成領域となり、

(c)前記第 1 及び第 2 のトレンチのうち、前記第 1 のトレンチ内の底面及び側面上にポリシリコン層を選択的に堆積するステップと、

(d)前記第 1 及び第 2 のトレンチに絶縁膜を埋めるステップと、

(e)前記第 1 のトレンチ内の前記ポリシリコン層を、前記第 1 のトレンチの開開口部から底面の方向に部分的に酸化させるステップとをさらに備え、前記第 1 のトレンチ内の絶縁膜と前記第 1 のトレンチ内に酸化されずに残存した前記ポリシリコン層とにより部分分離領域が構成され、前記第 2 のトレンチ内の絶縁膜により完全分離領域が構成され、

(f)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、半導体装置の製造方法。

【請求項 4 4】 (a)半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の S O I 基板を準備するステップと、

(b)前記 S O I 層を選択的に除去して複数の素子形成領域を形成するステップと、

(c)前記複数の素子形成領域をマスクしながら、前記埋め込み絶縁層に対して等方性エッチングを施し、前記複数の素子形成領域のうちの少なくとも 1 つの素子形成領域の端部裏面を露出させつつ、前記埋め込み絶縁層の上層部を除去し穴部を形成するステップと、

(d)前記穴部をポリシリコン層で埋め、前記ポリシリコン層を含み、前記少なくとも 1 つの素子形成領域の端部底面に電氣的接続関係を有するボディー領域を形成する

ステップと、

(e)前記 S O I 層内で前記複数の素子形成領域を絶縁分離するステップと、

(f)前記ボディー領域を外部から電位固定可能にするとともに、前記複数の素子形成領域それぞれに所定の素子を形成するステップとをさらに備える、半導体装置の製造方法。

【請求項 4 5】 前記ステップ(d)は、

(d-1)前記少なくとも 1 つの素子形成領域の端部裏面からエピタキシャル成長させて、前記穴部にエピタキシャル成長層を形成するステップと、

(d-2)前記エピタキシャル成長層に接するように、前記穴部を前記ポリシリコン層で埋め、前記エピタキシャル成長層と前記ポリシリコン層とからなる前記ボディー領域を形成するステップと、を備える請求項 4 4 記載の半導体装置の製造方法。

【請求項 4 6】 前記ステップ(d)は、

(d-1)前記 S O I 層の上層部に不純物濃度分布のピークが存在し、かつチャネリング現象が生じるように所定の導電型の不純物を導入して前記所定の素子の活性領域を形成するステップを含む、請求項 3 8 記載の半導体装置の製造方法。

【請求項 4 7】 (a)半導体基板、埋め込み絶縁層及び S O I 層からなる S O I 構造の S O I 基板を準備するステップと、

(b)前記 S O I 層を選択的に表面から貫通させて少なくとも 1 つの第 1 のトレンチを形成するステップと、

(c)前記 S O I 層を選択的に表面から貫通させることなく複数の第 2 のトレンチを形成するステップとを備え、

前記複数の第 2 のトレンチ間の前記 S O I 層の領域が複数の素子形成領域となり、前記複数の第 2 のトレンチは複合トレンチと非貫通トレンチとを含み、前記複合トレンチは前記少なくとも 1 つの第 1 のトレンチを含んで前記少なくとも 1 つの第 1 のトレンチの形成幅より広く形成されることにより、前記第 1 のトレンチ形成部である貫通部と前記第 1 のトレンチ形成部以外の非貫通部ととなり、前記非貫通トレンチは前記少なくとも 1 つの第 1 のトレンチを含まずに非貫通部のみで形成され、

(d)前記複合トレンチ及び非貫通トレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複合トレンチの前記非貫通部の絶縁膜及び前記非貫通部下の前記 S O I 層よりなる部分分離部と前記貫通部の絶縁膜よりなる完全分離部とから複合分離領域が構成され、前記非貫通トレンチ内の絶縁膜とその下方の前記 S O I 層とにより部分分離領域が構成され、

(e)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備える、半導体装置の製造方法。

【請求項 4 8】 半導体基板、埋め込み絶縁層及び S O I 層からなり、前記 S O I 層に C M O S デバイスが形成



される半導体装置の設計方法であって、

(a)ウェル領域内に形成される第1の導電型の第1のMOSトランジスタと前記ウェル領域外に形成される第2の導電型の第2のMOSトランジスタとからなるCMOS

デバイスの過去データを得るステップと、

(b)前記過去データに基づき第1及び第2のMOSトランジスタの形成領域を設定するステップと、

(c)前記過去データにおける前記ウェル領域の外周近傍領域に、前記SOI層を貫通する完全絶縁領域からなる完全分離領域を設定するステップと、を備える半導体装置の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はSOI構造の半導体装置に関する。

【0002】

【従来の技術】図102に示すように、シリコン基板1、埋め込み酸化膜2及びSOI (Silicon On Insulator) 層からなる従来のSOI構造の半導体装置において、SOI層3中のトランジスタ形成領域は完全酸化膜32によって完全に分離されていた。例えば、NMOSトランジスタ形成領域に形成される1単位のNMOSトランジスタは完全酸化膜32によって他のトランジスタから完全分離されていた。なお、図102の例ではSOI層3上を層間絶縁膜4で覆っている。

【0003】図102において、完全酸化膜32によって他のトランジスタから完全分離される1単位のNMOSトランジスタは、SOI層3中に形成されるドレイン領域5、ソース領域6、チャネル形成領域7、チャネル形成領域7上に形成されるゲート酸化膜8及びゲート酸化膜8上に形成されるゲート電極9から構成される。また、層間絶縁膜4上に形成された配線層22は、層間絶縁膜4中に設けられたコンタクト21を介してドレイン領域5あるいはソース領域6と電気的に接続される。

【0004】このように、従来のSOI構造の半導体装置は素子(トランジスタ)単位でSOI層中に完全分離されているため、PMOS及びNMOSそれぞれのトランジスタ間は完全に分離されラッチアップが原理的に起こらない構造を呈している。

【0005】

【発明が解決しようとする課題】したがって、SOI構造でCMOSトランジスタを有する半導体装置を製造する場合は、微細加工技術で決まる最小分離幅を使用できチップ面積を縮小できるメリットがあった。しかしながら、衝突電離現象によって発生するキャリア(NMOSではホール)がチャネル形成領域に溜まり、これによりキンクが発生したり、動作耐圧が劣化したり、また、チャネル形成領域の電位が安定しないために遅延時間の周波数依存性がでる等の基板浮遊効果により生ずる種々の問題点があった。

【0006】この発明は上記問題点を解決するためになされたもので、基板浮遊効果の低減を図ったSOI構造の半導体装置を得ることを目的とする。

【0007】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層3からなるSOI構造を呈しており、前記SOI層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記SOI層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、前記SOI層に設けられ、外部から電位固定可能なボディー領域とを備え、前記素子分離領域のうち少なくとも一部の領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記SOI層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は、前記複数の前記素子形成領域のうちの少なくとも1つの素子形成領域及び前記ボディー領域と接して形成されている。

【0008】請求項2記載の半導体装置において、前記複数の素子形成領域は、第1の素子用の複数の第1の素子形成領域と第2の素子用の複数の第2の素子形成領域とを含み、前記素子分離領域は前記SOI層を貫通した完全絶縁領域を含む完全分離領域をさら含み、前記部分分離領域は第1及び第2の部分分離領域を含み、前記複数の第1の素子形成領域はそれぞれ前記第1の部分分離領域によって素子分離され、前記複数の第2の素子形成領域はそれぞれ前記第2の部分分離領域によって素子分離され、前記複数の第1の素子形成領域と前記複数の第2の素子形成領域とは前記完全分離領域によって素子分離される。

【0009】請求項3記載の半導体装置において、前記複数の素子形成領域は、第1の回路用の複数の素子形成領域と第2の回路用の複数の素子形成領域とを含み、前記第1の回路用の複数の素子形成領域は前記SOI層を貫通した完全分離領域によって素子分離され、前記第2の回路用の複数の素子形成領域は前記部分分離領域によって素子分離されている。

【0010】請求項4記載の半導体装置において、前記SOI層は第1及び第2の部分SOI層を含み、前記第1の部分SOI層の膜厚は前記第2の部分SOI層の膜厚よりも薄く形成され、前記複数の第1の素子形成領域は前記第1の部分SOI層に形成され、前記複数の第2の素子形成領域は前記第2の部分SOI層に形成される。

【0011】請求項5記載の半導体装置において、前記複数の素子形成領域は、所定の回路用素子形成領域と該所定の回路以外の他の回路用素子形成領域とを含み、前記所定の回路用素子形成領域と前記他の回路用素子形成領域とは前記SOI層を貫通した完全分離領域によって素子分離される。

【0012】請求項6記載の半導体装置において、前記複数の素子形成領域のうち、前記部分分離領域によって素子分離された素子形成領域に形成される素子の活性領域の前記SOI層表面から形成深さは、前記部分分離領域の形成深さより浅い。

【0013】請求項7記載の半導体装置において、前記半導体領域はポリシリコン領域を含む。

【0014】請求項8記載の半導体装置において、前記部分絶縁領域は誘電率が前記埋め込み絶縁層より低い低誘電率膜を含む。

【0015】請求項9記載の半導体装置において、前記部分絶縁領域は少なくとも側面に設けられた部分絶縁膜とそれ以外の領域に設けられ、誘電率が前記部分絶縁膜より低い低誘電率膜とを含む。

【0016】請求項10記載の半導体装置において、前記素子分離領域は複数の素子分離領域を含み、前記複数の素子分離領域の少なくとも1つの領域は所定の形成幅で前記半導体基板の表面に対しほぼ垂直に延びて形成される。

【0017】この発明に係る請求項11記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を呈しており、前記SOI層に設けられ、各々に所定の素子が形成される複数の素子形成領域と、前記SOI層に設けられ、前記複数の素子形成領域間を絶縁素子分離する素子分離領域と、外部から電位固定可能なボディー領域とを備え、前記ボディー領域は、前記複数の素子形成領域のうち、少なくとも1つの素子形成領域の表面あるいは裏面に接するように形成される。

【0018】請求項12記載の半導体装置において、前記ボディー領域は、前記埋め込み絶縁層の上層部に形成され、前記少なくとも1つの素子形成領域の裏面に接している。

【0019】請求項13記載の半導体装置において、前記ボディー領域は、前記埋め込み絶縁層を貫通して形成され、前記少なくとも1つの素子形成領域の裏面に接している。

【0020】請求項14記載の半導体装置において、前記ボディー領域は、前記少なくとも1つの素子形成領域の上方に設けられ、前記少なくとも1つの素子形成領域の表面に接する。

【0021】請求項15記載の半導体装置において、前記素子分離領域のうち少なくとも一部の領域は、前記SOI層を貫通した完全絶縁領域と前記部分分離領域とが連続して形成される複合分離領域を含む。

【0022】請求項16記載の半導体装置において、前記部分分離領域の上面は凹凸なく均一に形成される。

【0023】請求項17記載の半導体装置において、前記複合分離領域の前記半導体領域の膜厚は、前記SOI層の膜厚の1/2以下に設定される。

【0024】請求項18記載の半導体装置において、前

記複合分離領域において前記完全絶縁領域の形成幅は前記複合分離領域全体の形成幅の1/2以下に設定される。

【0025】請求項19記載の半導体装置において、前記素子分離領域は前記SOI層を貫通した完全絶縁領域を有する完全分離領域を含み、前記複数の素子形成領域は互いに隣接して形成される入出力NMOSトランジスタ形成領域及び入出力PMOSトランジスタ形成領域を含み、前記完全分離領域は少なくとも前記入出力NMOSトランジスタ形成領域と前記入出力PMOSトランジスタ形成領域との境界近傍領域に形成される。

【0026】請求項20記載の半導体装置において、前記素子形成領域は入出力NMOSトランジスタ形成領域あるいは入出力PMOSトランジスタ形成領域と隣接して形成される内部回路形成領域をさらに含み、前記完全分離領域は、前記入出力NMOSトランジスタ形成領域及び前記入出力PMOSトランジスタ形成領域のうち前記内部回路形成領域と隣接配置された領域と前記内部回路形成領域との境界近傍領域にさらに形成される。

【0027】請求項21記載の半導体装置において、前記素子分離領域は前記SOI層を貫通した完全絶縁領域を含む完全分離領域を含み、前記複数の素子形成領域は互いに隣接して形成されるNMOSトランジスタ形成領域及びPMOSトランジスタ形成領域を含み、前記完全分離領域は、前記NMOSトランジスタ形成領域と前記入出力PMOSトランジスタ形成領域との境界近傍の前記PMOSトランジスタ形成領域内である完全分離領域形成箇所形成箇所に形成され、前記部分分離領域は前記NMOSトランジスタ形成領域の周辺領域、及び前記完全分離領域形成箇所を除く前記NMOSトランジスタ形成領域の周辺領域に形成される。

【0028】請求項22記載の半導体装置において、前記素子分離領域は前記SOI層を貫通した完全絶縁領域を含む完全分離領域を含み、前記複数の素子形成領域はMOSトランジスタ形成領域を含み、前記部分分離領域は前記MOSトランジスタ形成領域のゲート電極の少なくとも一端近傍の部分分離領域形成箇所に形成され、前記完全絶縁領域は、は前記部分分離領域形成箇所を除く前記MOSトランジスタ形成領域の周辺領域に形成される。

【0029】請求項23記載の半導体装置において、前記複数の素子形成領域は第1の導電型のトランジスタ形成領域を含み、前記部分分離領域は前記トランジスタ形成領域の周囲を囲って形成される周辺部分分離領域を含み、前記ボディー領域は、前記周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺ボディー領域を含む。

【0030】請求項24記載の半導体装置において、前記複数の素子形成領域はMOSトランジスタ形成領域を含み、前記ボディー領域は前記MOSトランジスタ形成領域のソース領域に隣接して形成されるソース隣接ボ



ィー領域を含み、前記ソース領域及び前記ソース隣接ボディー領域に共通接続される電位設定領域をさらに備える。

【0031】請求項25記載の半導体装置において、前記部分分離領域における半導体領域は第1及び第2の部分半導体領域を含み、前記第1の部分半導体領域の不純物濃度を前記第2の部分半導体領域の不純物濃度よりも高く設定している。

【0032】請求項26記載の半導体装置において、前記第1の部分半導体領域は前記複数の素子形成領域のうち分離対象の素子形成領域に隣接して形成される周辺領域を含み、前記第2の部分半導体領域は前記周辺領域を除く前記半導体領域である中心領域を含む。

【0033】請求項27記載の半導体装置において、前記複数の素子形成領域はMOSトランジスタ形成領域を含み、前記部分分離領域は前記MOSトランジスタ形成領域の周囲を囲って形成され、前記第1の部分半導体領域は前記MOSトランジスタ形成領域のゲート電極近傍領域を含み、前記第2の部分半導体領域は前記MOSトランジスタ形成領域のドレイン/ソース近傍領域を含む。

【0034】請求項28記載の半導体装置において、前記複数の素子形成領域は第1の導電型のMOSトランジスタ形成領域を含み、前記部分分離領域の前記半導体領域は第2の導電型の領域を含み、前記部分分離領域における前記半導体領域の不純物濃度のピークが、前記MOSトランジスタ形成領域内で前記半導体領域に接して形成されるドレイン/ソース領域の不純物濃度のピークより、前記SOI層の表面からの深さが深くなるように設定される。

【0035】請求項29記載の半導体装置において、前記複数の素子形成領域はMOSトランジスタ形成領域を含み、前記MOSトランジスタ形成領域のチャネル形成領域の不純物濃度のピークが、前記部分分離領域における前記半導体領域の不純物濃度のピークより、SOI層の表面からの深さが深くなるように設定される。

【0036】請求項30記載の半導体装置において、前記複合分離領域における半導体領域は、前記完全絶縁領域に隣接して形成される第1の部分半導体領域とそれ以外の前記半導体領域である第2の部分半導体領域とを含み、前記第1の部分半導体領域の不純物濃度を前記第2の部分半導体領域の不純物濃度よりも高く設定している。

【0037】請求項31記載の半導体装置において、前記部分分離領域の表面における角部の曲率半径より底面における角部の曲率半径を大きくなるように設定している。

【0038】請求項32記載の半導体装置の前記複合分離領域において、前記部分絶縁領域の底面における角部の曲率半径より前記絶縁分離領域と前記部分絶縁領域と

の間に生じる段差部の曲率半径を小さくしている。

【0039】請求項33記載の半導体装置において、前記素子分離領域は前記SOI層を貫通した完全絶縁領域を有する完全分離領域を含み、前記SOI層の上層部のインダクタンス形成領域に形成されるインダクタンス成分をさらに備え、前記完全分離領域は前記インダクタンス形成領域の下方に形成される。

【0040】請求項34記載の半導体装置において、前記複数の素子形成領域はMOSトランジスタ形成領域を含み、前記ボディー領域は前記MOSトランジスタ形成領域に形成されるMOSトランジスタのゲート電極に電気的に接続されるゲート接続ボディー領域を含み、前記部分分離領域は前記MOSトランジスタ形成領域の周囲を囲って形成される。

【0041】請求項35記載の半導体装置において、前記半導体領域は第1の導電型の領域を含み、前記素子の活性領域は第2の導電型を含み、前記素子の活性領域の形成深さはビルトイン状態時に前記素子の活性領域から伸びる空乏層が前記埋め込み絶縁層に到達しないレベルに設定される。

【0042】請求項36記載の半導体装置において、前記複数の素子形成領域はフィールドトランジスタ形成領域を含み、前記フィールドトランジスタ形成領域内に形成されるフィールドトランジスタは、互いに独立して形成される第1及び第2の活性領域と、前記第1及び第2の活性領域間に形成され、上層部に設けられたフィールドトランジスタ用部分絶縁領域と下層部に存在する前記SOI層の一部であるフィールドトランジスタ用半導体領域とから構成されるゲート部とを含む。

【0043】この発明に係る請求項37記載の半導体装置は、半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造を呈しており、前記SOI層に設けられ、所定の素子が形成される素子形成領域と、前記SOI層に設けられ、前記素子形成領域の周囲を囲って形成される周辺素子分離領域とを備え、前記周辺素子分離領域は、上層部に設けられた部分絶縁領域と下層部に存在する前記SOI層の一部である半導体領域とから構成される部分分離領域を含み、前記半導体領域は少なくとも1つの前記素子形成領域に接して形成されるとともに、フローティング状態に設定される。

【0044】この発明に係る請求項38記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、(b)前記SOI層を選択的に表面から貫通させることなく除去して、複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、(c)前記複数のトレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複数のトレンチのうち少なくとも1つのトレンチ内の絶縁膜と前記少なくとも1つのトレンチ下の前記

SOI層とにより部分分離領域が構成され、(d)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

【0045】請求項39記載の半導体装置の製造方法において、前記複数のトレンチは第1及び第2のトレンチを含み、前記少なくとも1つのトレンチは前記第1のトレンチを含み、前記ステップ(b)の後、ステップ(c)の前に、(e)前記第1及び第2のトレンチのうち、前記第2のトレンチの底部から前記SOI層をさらに除去して、前記SOI層を貫通させるステップをさらに備え、前記ステップ(c)によって、前記第1のトレンチ内の絶縁膜と前記第1のトレンチ下の前記SOI層とにより前記部分分離領域が構成され、前記SOI層を貫通した前記第2のトレンチ内の絶縁膜により完全分離領域が構成される。

【0046】請求項40記載の半導体装置の製造方法において、前記第2のトレンチの形成幅は前記第1のトレンチの形成幅より広く、前記ステップ(b)は、(b-1)前記第1のトレンチの底面は塞がり、第2のトレンチの底面の中心部は露出する程度に、前記第1及び第2のトレンチそれぞれの側面に側壁体を形成するステップと、(b-2)前記側壁体をマスクとして前記第2のトレンチの中心部下の前記SOI層を貫通させるステップとを備える。

【0047】請求項41記載の半導体装置の製造方法において、前記ステップ(b)の後、(f)前記複数のトレンチの下方の前記SOI層に不純物を導入して高濃度領域を形成するステップをさらに備える。

【0048】請求項42記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及びシリコン層からなるSOI構造のSOI基板を準備するステップと、(b)前記シリコン層を選択的に除去し貫通させ貫通部を設けるステップと、(c)前記シリコン層の前記貫通部に前記シリコン層の表面から突出するように第1の絶縁膜を埋め込むとともに、前記シリコン層上に第2の絶縁膜を選択的に形成するステップと、(d)前記第2の絶縁膜が形成されていない前記シリコン層の表面から上方にかけてエピタキシャル成長させてエピタキシャル成長層を形成するステップとを備え、前記シリコン層と前記エピタキシャル成長層とによりSOI層が構成され、前記第2絶縁膜とその下方の前記シリコン層とにより部分分離領域が構成され、前記第1の絶縁膜により完全分離領域が構成され、(e)前記部分分離領域あるいは前記完全分離領域によって素子分離される複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

【0049】この発明に係る請求項43記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、(b)前記SOI層を選択的に除去して、各々が前記SOI層を貫通した第1及び第2のトレンチから

なる複数のトレンチを形成するステップとを備え、前記複数のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、(c)前記第1及び第2のトレンチのうち、前記第1のトレンチ内の底面及び側面上にポリシリコン層を選択的に堆積するステップと、(d)前記第1及び第2のトレンチに絶縁膜を埋めるステップと、(e)前記第1のトレンチ内の前記ポリシリコン層を、前記第1のトレンチの開口部から底面の方向に部分的に酸化させるステップとをさらに備え、前記第1のトレンチ内の絶縁膜と前記第1のトレンチ内に酸化されずに残存した前記ポリシリコン層とにより部分分離領域が構成され、前記第2のトレンチ内の絶縁膜により完全分離領域が構成され、(f)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

【0050】この発明に係る請求項44記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、(b)前記SOI層を選択的に除去して複数の素子形成領域を形成するステップと、(c)前記複数の素子形成領域をマスクしながら、前記埋め込み絶縁層に対して等方性エッチングを施し、前記複数の素子形成領域のうちの少なくとも1つの素子形成領域の端部裏面を露出させつつ、前記埋め込み絶縁層の上層部を除去し穴部を形成するステップと、(d)前記穴部をポリシリコン層で埋め、前記ポリシリコン層を含み、前記少なくとも1つの素子形成領域の端部底面に電氣的接続関係を有するボディー領域を形成するステップと、(e)前記SOI層内で前記複数の素子形成領域を絶縁分離するステップと、(f)前記ボディー領域を外部から電位固定可能にするとともに、前記複数の素子形成領域それぞれに所定の素子を形成するステップとをさらに備えている。

【0051】請求項45記載の半導体装置の製造方法において、前記ステップ(d)は、(d-1)前記少なくとも1つの素子形成領域の端部裏面からエピタキシャル成長させて、前記穴部にエピタキシャル成長層を形成するステップと、(d-2)前記エピタキシャル成長層に接するように、前記穴部を前記ポリシリコン層で埋め、前記エピタキシャル成長層と前記ポリシリコン層とからなる前記ボディー領域を形成するステップとを備えている。

【0052】請求項46記載の半導体装置の製造方法において、前記ステップ(d)は、(d-1)前記SOI層の上層部に不純物濃度分布のピークが存在し、かつチャネリング現象が生じるように所定の導電型の不純物を導入して前記所定の素子の活性領域を形成するステップを含む。

【0053】この発明に係る請求項47記載の半導体装置の製造方法は、(a)半導体基板、埋め込み絶縁層及びSOI層からなるSOI構造のSOI基板を準備するステップと、(b)前記SOI層を選択的に表面から貫通させて少なくとも1つの第1のトレンチを形成するステップと、(c)前記SOI層を選択的に表面から貫通させる

ことなく複数の第2のトレンチを形成するステップとを備え、前記複数の第2のトレンチ間の前記SOI層の領域が複数の素子形成領域となり、前記複数の第2のトレンチは複合トレンチと非貫通トレンチとを含み、前記複合トレンチは前記少なくとも1つの第1のトレンチを含んで前記少なくとも1つの第1のトレンチの形成幅より広く形成されることにより、前記第1のトレンチ形成部である貫通部と前記第1のトレンチ形成部以外の非貫通部とからなり、前記非貫通トレンチは前記少なくとも1つの第1のトレンチを含まずに非貫通部のみで形成され、(d)前記複合トレンチ及び非貫通トレンチそれぞれに絶縁膜を埋めるステップとをさらに備え、前記複合トレンチの前記非貫通部の絶縁膜及び前記非貫通部下の前記SOI層よりなる部分分離部と前記貫通部の絶縁膜よりなる完全分離部とから複合分離領域が構成され、前記非貫通トレンチ内の絶縁膜とその下方の前記SOI層とにより部分分離領域が構成され、(e)前記複数の素子形成領域それぞれに所定の素子を形成するステップをさらに備えている。

【0054】この発明に係る請求項48記載の半導体装置の設計方法は、半導体基板、埋め込み絶縁層及びSOI層からなり、前記SOI層にCMOSデバイスが形成される半導体装置を設計する方法であって、(a)ウェル領域内に形成される第1の導電型の第1のMOSトランジスタと前記ウェル領域外に形成される第2の導電型の第2のMOSトランジスタとからなるCMOSデバイスの過去データを得るステップと、(b)前記過去データに基づき第1及び第2のMOSトランジスタの形成領域を設定するステップと、(c)前記過去データにおける前記ウェル領域の外周近傍領域に、前記SOI層を貫通する完全絶縁領域からなる完全分離領域を設定するステップとを備えている。

【0055】

【発明の実施の形態】<<実施の形態1>>図1～図3はこの発明の実施の形態1であるSOI構造の半導体装置の構成を示す図である。図1及び図2は断面図、図3は平面図であり、図3のA-A断面及びB-B断面がそれぞれ図1及び図2となる。

【0056】これらの図に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下層部にウェル領域が形成される部分酸化膜31によって分離される。そして、NMOSトランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11が形成され、PMOSトランジスタ間を分離する部分酸化膜31の下層にn型のウェル領域12が形成され、NMOSトランジスタ、PMOSトランジスタ間を分離する部分酸化膜31の下層にp型のウェル領域11(NMOSトランジスタ側)及びn型のウェル領域12(PMOSトランジスタ側)が形成される。なお、ウェル領

域11はNMOSトランジスタ群のドレイン領域5及びソース領域6を囲うように形成され、ウェル領域12はPMOSトランジスタ群のドレイン領域5及びソース領域6を囲うように形成される。また、実施の形態1ではSOI層3上を層間絶縁膜4で覆っている。

【0057】実施の形態1において、部分酸化膜31によって他のトランジスタから分離される1単位のMOSトランジスタは、SOI層3中に形成されるドレイン領域5、ソース領域6及びチャネル形成領域7、チャネル形成領域7上に形成されるゲート酸化膜8、ゲート酸化膜8上に形成されるゲート電極9から構成される。また、層間絶縁膜4上に形成された配線層22は、層間絶縁膜4中に設けられたコンタクト21を介してドレイン領域5あるいはソース領域6と電氣的に接続される。

【0058】また、図2及び図3に示すように、SOI層3中のウェル領域11の間にボディー領域10が形成され、ボディー領域10は隣接するウェル領域11に接している。そして、層間絶縁膜4上に形成された配線層25は、層間絶縁膜4中に設けられたボディーコンタクト23を介してボディー領域10と電氣的に接続される。また、層間絶縁膜4上に形成された配線層26は、層間絶縁膜4中に設けられたゲートコンタクト24を介してゲート電極9と電氣的に接続される。

【0059】このように、実施の形態1の半導体装置では、図1～図3に示すように、図102で示した従来構成と異なり素子分離領域の部分酸化膜31がSOI層3の下部にまで到達せず、分離対象となるトランジスタのチャネル形成領域と同一の導電型の不純物が導入されたウェル領域11、12が部分酸化膜31の下層に設けられている。

【0060】したがって、各トランジスタの基板電位の固定を、配線層25、ボディーコンタクト23、高濃度のボディー領域10及びウェル領域11を介して行うことができる。なお、PMOSトランジスタ側も同様に、ボディー領域を介して各トランジスタの基板電位を固定することができる。

【0061】以下、図1～図3を参照してその詳細を説明する。埋め込み酸化膜2の膜厚は例えば100～500nm程度であり、SOI層3の膜厚は30～200nm程度である。チャネル形成領域7は、例えば $10^{11} \sim 10^{12} / \text{cm}^2$ 程度の第1導電型の不純物(NMOSではp型不純物、PMOSではn型不純物)の導入によって形成される。ドレイン領域5及びソース領域6はチャネル形成領域7と隣接して、例えば $10^{11} \sim 10^{12} / \text{cm}^2$ 程度の第2導電型の不純物(NMOSではn型不純物、PMOSではp型不純物)の導入によって形成される。

【0062】隣接するトランジスタ間を分離する部分酸化膜31はSOI層3の下層部をウェル領域形成用に例えば10～100nm程度残して形成される。部分酸化

膜31の上面高さはSOI層3の表面高さと同じであることが微細加工上好ましいが、SOI層3が薄い場合は素子分離に必要な部分酸化膜31の膜厚をとることが難しいため、SOI層3より上に持ち上げた方が素子分離性能が向上する。

【0063】そして、酸化膜分離用の部分酸化膜31の下部にはチャネル形成領域と同じ導電型のウェル領域11、12（たとえば $10^{11} \sim 5 \cdot 10^{11} / \text{cm}^2$ の不純物濃度、不純物濃度はチャネル形成領域と同じかそれ以上、濃度が高いほどバンスルーが防止でき分離性能は良くなる）が設けられている。

【0064】また、ボディー領域10は、図2に示すように、隣接するウェル領域11と同じ導電型で $10^{11} \sim 10^{12} / \text{cm}^2$ の高濃度の不純物が導入される。

【0065】なお、図2のボディー領域10は、SOI層3の上面から下面にかけてボディー領域10を形成し層間絶縁膜4を貫通してボディーコンタクト23を形成したが、図4のようにボディー領域を形成しても良い。

【0066】図4の例では、ボディーコンタクト23の形状に合わせてSOI層3の下層部のみにボディー領域20を形成し、層間絶縁膜4及び部分酸化膜31を貫通してボディーコンタクト23を形成することになる。この場合、ボディー領域20に隣接して部分酸化膜31下にウェル領域28が形成される。

【0067】ただし、図4の構造を形成する場合はコンタクト開口後にボディー領域20を形成するための高濃度不純物注入を行うことが望ましい。

【0068】ここで、同じ導電型の素子分離においては、ウェル領域11、12はチャネル形成領域の導電型と同一の不純物を導入して形成するだけでよいが、図1に示すように、PMOSとNMOSにまたがる分離においてはNMOS隣接部でp型のウェル領域11、PMOS隣接部でn型のウェル領域12を設ける必要がある。

【0069】このようなSOI構造は後述する実施の形態2の部分トレンチによる分離法を用いて製造することができる。

#### 【0070】<<実施の形態2>>

<第1の態様>図5はこの発明の実施の形態2であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。

【0071】図5に示すように、実施の形態2ではNMOSTランジスタおよびPMOSTランジスタそれぞれの内部のランジスタ分離を部分酸化膜31とその下層のウェル領域11（12）によって行い、一方、PMOSTランジスタ、NMOSTランジスタ間の分離を完全酸化膜32によって行っている。このような構成にすることにより、実施の形態1の構造に比べて、PMOS、NMOS間の分離幅を小さくできたり、ラッチアップを防いだりすることができる。

【0072】図5の構造を実現する際には、ソース領域

6、ドレイン領域5をイオン注入で形成する際に、注入イオンが部分酸化膜31を通り抜けて、本来はドレイン領域5及びソース領域6と逆の導電型にする必要のある部分酸化膜31下のウェル領域11（12）に、ドレイン領域5及びソース領域6用の不純物が導入されることにより、部分酸化膜31及びウェル領域11による分離特性を損ねる恐れがある。

【0073】<第2の態様>これを避けるためには、図6に示す第2の態様に示すように、形成深さがSOI層3の膜厚より十分に浅いドレイン領域5s及びソース領域6sを形成する方が好ましい。すなわち、部分酸化膜31の下面よりもドレイン領域5s及びソース領域6sを浅く形成すると良い。図6のように、形成深さの浅いドレイン領域5s及びソース領域6sを形成するためには、低エネルギーイオン注入によってソース、ドレイン領域6、5を形成すればよい。

【0074】なお、ドレイン領域5s及びソース領域6sの形成深さは、ビルトイン状態（PN接合にかかっているバイアス電圧が0Vのときの状態）で、ソース／ドレインからの空乏層が埋め込み酸化膜2まで到達するという条件を満足する深さで形成するのが理想的である。

【0075】なぜならば、ビルトイン状態で、ソース／ドレイン空乏層が埋め込み酸化膜2まで到達するため、ソース／ドレイン領域5s／6sとウェル領域11（12）との接合容量の低減化を図りながら、部分酸化膜31及びウェル領域11（12）による部分分離領域による分離特性の向上が図れるからである。

【0076】<第3の態様>なおここで、図7に示す実施の形態2の第3の態様のように、下層部の一部がウェル領域29となるがSOI層3の上面から下面にかけて酸化膜33を用いてNMOSTランジスタ、PMOSTランジスタ間を完全分離することもできる。第3の態様では酸化膜33用のトレンチを部分酸化膜31用のトレンチと同時に設けて形成しやすい分、完全酸化膜32による分離よりレイアウトが容易になる可能性が高い。

【0077】以下、酸化膜33による完全分離を、SOI層3を貫通した貫通部の酸化膜33による完全分離領域と、SOI層3を貫通しない非貫通部の酸化膜33とその下方のSOI層3であるウェル領域29とによる部分分離領域とが連続して形成される複合分離領域による分離と称する場合がある。

【0078】<第4の態様>また、図55に示す第4の態様のように、単独で部分分離を行う部分酸化膜31と複合分離領域の酸化膜33の上面は凹凸がなく均一になるように形成することにより、ゲート電極9の形成時のバタニングが容易になる効果を奏する。

【0079】<第5の態様>図56は図7で示した複合分離領域の酸化膜33の構造の詳細を示す断面図である。同図に示すように、酸化膜33は中心部（貫通部）がSOI層3の上面から下面に達して形成されるが周辺

部（非貫通部）は下面に達することなく形成される。酸化膜 33 の周辺部の下方に残存する SOI 層 3 の一部がウェル領域 29 となる。このような構造の酸化膜 33 において、酸化膜 33 の周辺部下の SOI 層 3（ウェル領域 29）の膜厚  $T_B$  と、ウェル領域 29 より上方の SOI 層 3 の膜厚  $T_A$  との間に、 $T_A > T_B$  が成立するように形成する。すなわち、SOI 層 3 の膜厚（ $T_A + T_B$ ）の半分未満にウェル領域 29 の膜厚を設定する。

【0080】第 5 の態様のように  $T_A > T_B$  が成立するように形成すると、酸化膜 33 の分離による閾値電圧（酸化膜 33 をゲート酸化膜と見立てた時の閾値電圧）を十分に上昇させ、十分高度な分離耐性を得ることができ、ウェル領域 29 に接して形成されるドレイン/ソース領域とウェル領域 29 との PN 接合面積を十分に低下させることによりリーク電流の発生を抑え、上記 PN 接合容量を低下させることにより高速動作が可能となる。

【0081】＜第 6 の態様＞図 57 は図 7 で示した酸化膜 33 の構造の詳細を示す断面図である。同図に示すように、SOI 層 3 の上面から下面に達して形成される酸化膜 33 の中心部の形成幅である完全分離幅  $WC$  と、酸化膜 33 全体の酸化膜分離幅  $WD$  との間に、 $WC < WD/2$  が成立するように形成する。

【0082】第 6 の態様のように構成することにより、酸化膜 33 の周辺部下に形成されるウェル領域 29 の面積を十分確保できるため、ウェル領域 29 を介して基板浮遊効果を十分抑制するレベルでトランジスタの基板電位固定を図ることができ、その結果、トランジスタの安定動作を可能にする。

【0083】さらに、完全分離幅  $WC$  をチップ内で同一にすることにより、分離形状管理が容易になる。さらに、酸化膜 33 のパターニングさえできれば素子間を電氣的に完全分離できるため、完全分離幅  $WC$  を最小デザイン幅に設定することができ、チップ面積を必要最小限まで低減させ集積度の大幅な向上を図ることができる。

【0084】＜その他＞実施の形態 2 では、少なくとも NMOS トランジスタ、PMOS トランジスタ間を完全分離する構造を示したが、それ以外にも、メモリ混載論理回路において、雑音対策のためメモリ部と論理回路部との間を完全分離する構造も考えられる。

【0085】また、完全分離領域と部分分離領域とを併用する代わりに、形成深さの異なる酸化膜を用いて複数種の部分分離を行う方法も考えられる。この場合、形成深さが深い酸化膜下のウェル領域にはボディー領域等のボディーコンタクト材料を接続することなくフローティング状態にして完全分離領域として用いることもできる。

【0086】＜製造方法（その 1）（第 1 及び第 2 の態様）＞図 8～図 11 は実施の形態 2 の第 1 及び第 2 の態様における製造方法の素子分離工程を示す断面図である。図 8～図 11 で示す方法は部分トレンチ分離と完全

トレンチ分離を併用による方法である。

【0087】まず、図 8 に示すように、酸素イオン注入によって埋め込み酸化膜 2 を形成する SIMOX 法などにより形成した、シリコン基板 1、埋め込み酸化膜 2 及び SOI 層 3 からなる SOI 基板を出発材料とする。通常、SOI 層 3 の膜厚は 50～200 nm、埋め込み酸化膜 2 の膜厚は 100～400 nm になる。

【0088】そして、図 9 に示すように、SOI 基板上に、20 nm 程度の酸化膜 41 と 200 nm 程度の窒化膜 42 を順次堆積した後、パターニングしたレジスト 43 をマスクとして分離領域をパターニングし、窒化膜 42、酸化膜 41、SOI 層の 3 多層膜を、SOI 層 3 の下層部が残存するようにエッチングして複数の部分トレンチ 44 を形成する。複数の部分トレンチ 44 は、所定の幅でシリコン基板 1 に対してほぼ垂直方向に延びて形成されるため、集積度を損ねることなく微細化を維持した素子分離を行うことができる。この状態で、図 12 に示すように高濃度ウェル領域 52（ウェル領域 11、12 に相当）形成のため、イオン注入を行えば分離耐圧をより高めることができる。

【0089】次に、図 10 に示すように、複数の部分トレンチ 44 のうち、一部を覆うようにレジスト 45 を形成して、レジスト 45 で覆われなかった部分トレンチ 44 をさらにエッチングすることにより、SOI 層 3 を貫通させた完全トレンチ 48 を形成する。

【0090】次に、図 11 に示すように、500 nm 程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法で CMP 処理により窒化膜 42 の途中まで研磨し、その後、窒化膜 42、酸化膜 41 の除去を行うことにより、部分酸化膜 31 及びその下の SOI 層 3（ウェル領域）と完全酸化膜 32 とが選択的に形成された構造を得ることができる。このように、CMP 処理による酸化膜を研磨することにより、埋め込み酸化膜 2 からの高さが同一になる部分酸化膜 31 及び完全酸化膜 32 を形成することができる。なお、図 9 の構造を得た後、図 12 で示すイオン注入を行った場合は、図 13 に示すように、部分酸化膜 31 下に高濃度ウェル領域 52 が形成されることになる。高濃度ウェル領域 52 により安定性良く基板電位固定することができる。

【0091】以下、既存の方法で、NMOS トランジスタ形成領域に NMOS トランジスタを形成し、PMOS トランジスタトランジスタ形成領域に PMOS トランジスタを形成することにより、図 5 で示した第 1 の態様の SOI 構造、あるいは図 6 で示した第 2 の態様の SOI 構造を得ることができる。

【0092】また、図 10 で示した工程を省略して他の工程を上述したように実施すれば、全てが部分トレンチ 44 となるため、図 1～図 3 で示した実施の形態 1 の構造（全てが部分酸化膜 31 によって素子分離された構造）を得ることができる。



【0093】＜製造方法（その2）（第1及び第2の態様）＞図14～図18は実施の形態2の第1及び第2の態様における製造方法の素子分離工程を示す断面図である。図14～図18で示す方法は部分トレンチ分離と完全トレンチ分離を併用による方法である。

【0094】まず、図14に示すように、シリコン基板1、埋め込み酸化膜2及びシリコン層50からなる積層構造を出発材料とする。この際、シリコン層50は最終的に得られるSOI層3の膜厚よりも薄くする。

【0095】そして、図15に示すように、SOI基板10上に、酸化膜41と窒化膜42を順次堆積した後、パターンニングしたレジスト46をマスクとして分離領域のパターンニング処理を行い、シリコン層50の表面が露出するように窒化膜42及び酸化膜41をエッチングして複数の部分トレンチ44を形成する。

【0096】次に、図16に示すように、複数の部分トレンチ44のうち、一部を覆うようにレジスト49を形成して、レジスト49で覆われなかった部分トレンチ44をさらにエッチングすることにより、シリコン層50を貫通させた完全トレンチ48を形成する。

【0097】次に、図17に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、酸化膜41の除去を行うことにより、部分酸化膜31及びその下のシリコン層50（ウェル領域）と完全酸化膜32とが選択的に形成された構造を得ることができる。

【0098】そして、図18に示すように、シリコン層50からエピタキシャル成長させてエピタキシャルシリコン層51を形成することにより、シリコン層50及びエピタキシャルシリコン層51からなる結晶性の良いSOI層3を得る。

【0099】以下、既存の方法で、NMOSトランジスタ形成領域にNMOSトランジスタを形成し、PMOSトランジスタトランジスタ形成領域にPMOSトランジスタを形成することにより、図5で示した第1の態様のSOI構造、あるいは図6で示した第2の態様のSOI構造を得ることができる。

【0100】＜製造方法（その3）（第3の態様）＞図19～図22は実施の形態2の第3の態様の製造方法における素子分離工程を示す断面図である。図19～図22で示す方法は形成幅の異なる部分トレンチ形成による方法である。

【0101】まず、図19に示すように、比較的幅の広い部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分分離用である。この際、SOI層3の下層の一部が残るように部分トレンチ44A及び44Bは形成される。

【0102】次に図20に示すように、酸化膜47で部分トレンチ44A及び44Bの側面に、部分トレンチ4

4Bの底面は塞ぐが部分トレンチ44Aの底面中心部が露出するようにサイドウォールを形成する。これは、部分トレンチ44Bの形成幅が部分トレンチ44Aの形成幅より狭いことを利用している。

【0103】次に、図21に示すように、酸化膜47をマスクとして、SOI層3に対するシリコンエッチングを行うことにより、部分トレンチ44Aの底面の中心部下のSOI層3を含む、上部に酸化膜47が形成されていないSOI層3が除去され、埋め込み酸化膜2の表面が露出する。

【0104】次に、図22に示すように、500nm程度の酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、酸化膜41の除去を行うことにより、部分酸化膜31（及びその下のSOI層3）と酸化膜33（及びその一部下のSOI層3）とが選択的に形成された構造を得ることができる。

【0105】以下、既存の方法で、NMOSトランジスタ形成領域にNMOSトランジスタを形成し、PMOSトランジスタトランジスタ形成領域にPMOSトランジスタを形成することにより、図7で示した実施の形態2の第3の態様のSOI構造を得ることができる。

【0106】＜製造方法（その4）（第3の態様）＞図23～図27は実施の形態2の第3の態様の製造方法における素子分離工程を示す断面図である。図23～図27で示す方法は形成幅の異なる部分トレンチ形成による方法である。

【0107】まず、図23に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板を出発材料とする。

【0108】そして、図24に示すように、比較的幅の広い部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分分離用である。この際、SOI層3の下層の一部が残るように部分トレンチ44A及び44Bは形成される。

【0109】次に、図25に示すように、部分トレンチ44B内全体を充填し、部分トレンチ44Aの側壁を覆うように、レジスト49をパターンニングする。したがって、部分トレンチ44Aの底面中心部が確実に露出している。

【0110】その後、図26に示すように、レジスト49をマスクとして、SOI層3に対するシリコンエッチングを行うことにより、部分トレンチ44Aの底面の中心部下のSOI層3を含む、レジスト49が上部に形成されていないSOI層3が除去され、埋め込み酸化膜2の表面が露出する。

【0111】次に、図27に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、



酸化膜 4 1 の除去を行うことにより、部分酸化膜 3 1 (及びその下の S O I 層 3) と酸化膜 3 3 (及びその下の S O I 層 3) とが選択的に形成された構造を得ることができる。

【0112】<製造方法(その5)(第3の態様)>図 5 8 ~ 図 6 2 は実施の形態 2 の第 3 の態様の製造方法における素子分離工程を示す断面図である。

【0113】まず、図 5 8 に示すように、シリコン基板 1、埋め込み酸化膜 2 及び S O I 層 3 からなる S O I 基板を出発材料とする。

【0114】そして、図 5 9 に示すように、S O I 基板上に、酸化膜 4 1 と窒化膜 4 2 を順次堆積した後、パターンニングしたレジスト 2 1 3 をマスクとして分離領域のパターンニング処理を行い、埋め込み酸化膜 2 の表面が露出するように窒化膜 4 2、酸化膜 4 1 及び S O I 層 3 をエッチングにより貫通して複数のトレンチ 2 1 4 を形成する。

【0115】次に、図 6 0 に示すように、残存した窒化膜 4 2 上に選択的にレジスト 2 1 5 を形成する。この際、複数のトレンチ 2 1 4 それぞれを含みトレンチ 2 1 4 の形成幅より広い領域が開口部となるようにレジスト 2 1 5 を形成する。

【0116】そして、図 6 1 に示すように、レジスト 2 1 5 をマスクとして窒化膜 4 2 及び酸化膜 4 1 と S O I 層 3 の一部とをエッチングすることにより、下層に S O I 層 3 が残存した部分トレンチ 2 1 6 と、中心部の下層が S O I 層 3 を貫通した貫通部とそれ以外の下層に S O I 層 3 が残存した非貫通部とからなる複合トレンチ 2 1 7 とを同時に形成する。

【0117】その後、図 6 2 に示すように、HDP (高密度プラズマ) CVD 方等によって酸化膜を堆積し、通常のトレンチ分離と同様の手法で CMP 処理により窒化膜 4 2 の途中まで研磨し、その後、窒化膜 4 2、酸化膜 4 1 の除去を行うことにより、部分酸化膜 3 1 (及びその下の S O I 層 3) と酸化膜 3 3 (及びその一部下の S O I 層 3) とが選択的に形成された構造を得ることができる。

【0118】<製造方法(その6)(第3の態様)>製造方法の極端な例として、部分分離により素子分離されたトランジスタのゲート電極形成後、あるいはコンタクトや配線工程などの後工程に実施段階で、部分分離領域を S O I 層 3 を貫通するようにエッチング除去し、その後酸化膜を生み込み完全分離領域に変更することも可能である。

【0119】<その他>上記実施の形態 2 の製造方法は、トレンチ分離法として SiN/SiO<sub>2</sub> の積層を S O I 層上に形成して、素子分離用の酸化膜の埋め込みを行ったが、他の方法、SiN/SiO<sub>2</sub> の積層に代えて、例えば SiN/poly-Si/SiO<sub>2</sub> による積層を用いて埋め込み後酸化を行い、トレンチの角丸めを

行うなど、より多様な方法を行っても同様な効果を示すことは言うまでもない。

【0120】<<実施の形態 3>>

<第 1 の態様>図 2 8 はこの発明の実施の形態 3 である S O I 構造の半導体装置の第 1 の態様の構造を示す断面図である。

【0121】図 2 8 に示すように、集積性が要求される(部分酸化膜 3 1 は下層にウェル領域を形成する関係で完全酸化膜 3 2 より集積度が若干劣る)が基板浮遊効果の影響の少ない回路(第 1 の回路)の形成領域を完全酸化膜 3 2 を用いた完全分離構造にし、基板浮遊効果の影響が問題となる回路(第 2 の回路)の形成領域には部分酸化膜 3 1 及びその下層のウェル領域 1 1 (1 2)を用いた部分分離構造にし、第 1、第 2 の回路の形成領域間の分離は完全酸化膜 3 2 を用いた完全分離構造にしている。

【0122】また、それ以外に第 1 の回路例として、稠密構造が要求される SRAM、DRAM 等のメモリセル部分の回路、第 2 の回路例としてメモリセル部分以外の回路がある。

【0123】図 2 8 に示すように、第 1 の回路例としては、内部回路及びデジタル回路等があり、第 2 の回路回路の例としては、I/O バッファ回路、アナログ回路(PLL 回路、センスアンプ回路)等がある。さらに、第 2 の回路例として、タイミング回路、ダイナミック回路等がある。

【0124】このように、実施の形態 3 の第 1 の態様は、設けられる回路の基板浮遊効果の影響度を考慮して、部分酸化膜 3 1 による部分分離と完全酸化膜 3 2 とによる完全分離とを使い分けることにより、基板浮遊効果の抑制と集積度の向上をバランス良く行った素子分離構造を得ることができる。

【0125】なお、図 2 8 の構造は、実施の形態 2 の製造方法のその 1 ~ その 4 等を用いて、部分酸化膜 3 1 及び完全酸化膜 3 2 (酸化膜 3 3)を選択的に形成して素子分離を行って第 1 の回路及び第 2 の回路を形成することにより得ることができる。

【0126】<第 2 の態様>図 2 9 はこの発明の実施の形態 3 である S O I 構造の半導体装置の第 2 の態様の構造を示す断面図である。同図に示すように、完全分離を行う第 1 の回路形成用の部分 S O I 層 3 B の膜厚を、部分分離を行う第 2 の回路形成用の部分 S O I 層 3 A の膜厚よりも薄くしている。したがって、部分 S O I 層 3 B に形成される完全酸化膜 3 4、ドレイン領域 5 t、ソース領域 6 t 及びチャネル形成領域 7 t の膜厚も薄くなる。

【0127】第 2 の態様では、第 1 の回路形成用の部分 S O I 層 3 B の膜厚を第 2 の回路形成用の部分 S O I 層 3 A の膜厚よりも薄く形成したため、同じトレンチエッチング条件を用いても、部分 S O I 層 3 A には部分トレ

ンチを部分SOI層3Bには完全トレンチを形成し分けることができる。したがって、製造方法その1の図10で示した工程が省略できる等の製造方法の簡略化を図って、完全分離及び部分分離をそれぞれ部分SOI層3B及び部分SOI層3A上で行うことができる。

【0128】また、完全分離、部分分離に関係なく、基板電位固定が要求される第2の回路である、I/Oバッファ回路、アナログ回路(PLL、センスアンプ)、タイミング回路、ダイナミック回路などを形成するSOI層の膜厚は厚くすることが好ましく、その点からも第2の態様は理にかなっており、特に保護回路では膜厚により温度上昇を抑制でき効果的である。

【0129】<第3の態様>また、実施の形態3の第3の態様として、ノイズ発生源となるI/O回路やRF回路と他の回路との分離は少なくとも完全酸化膜32を用いた完全分離を行い、他の部分の分離は部分酸化膜31を用いた分離を行うことにより、内部回路やノイズに弱いアナログ回路へのノイズの影響を減らしながら、基板浮遊効果の影響を最小限に抑えたSOI構造の半導体装置を得ることができる。

【0130】<<実施の形態4>>図30及び図31はこの発明の実施の形態4のSOI構造の半導体装置の構造を示す断面図である。なお、図30及び図31はそれぞれ実施の形態1の図3のA-A断面及びB-B断面に相当する。

【0131】同図に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下層部にウェル領域が形成される部分酸化膜71によって分離される。そして、NMOSTランジスタ間を分離する部分酸化膜71の下層にp型のポリシリコン領域61が形成され、PMOSTランジスタ間を分離する部分酸化膜71の下層にn型のポリシリコン領域62が形成され、NMOSTランジスタ、PMOSTランジスタ間を分離する部分酸化膜71の下層にp型のポリシリコン領域61(NMOSTランジスタ側)及びn型のポリシリコン領域62(PMOSTランジスタ側)が隣接して形成される。

【0132】また、図31に示すように、SOI層3中のポリシリコン領域61の間にボディー領域10が形成され、ボディー領域10は隣接するポリシリコン領域61に接している。そして、層間絶縁膜4上に形成された配線層25は、層間絶縁膜4中に設けられたボディーコンタクト23を介してボディー領域10と電気的に接続される。

【0133】このように、実施の形態4の半導体装置は部分酸化膜71下に形成されるポリシリコン領域61、62をウェル領域として利用し、ボディー領域10を介してその電位が固定される。したがって、チャネル形成領域7の電位が安定し基板浮遊効果を低減させることが

できる。

【0134】なお、図32に示すように、NMOSTランジスタおよびPMOSTランジスタそれぞれの内部のトランジスタ分離を部分酸化膜71とその下層のポリシリコン領域61(62)によって行い、一方、PMOSTランジスタ、NMOSTランジスタ間の分離を完全酸化膜32によって行っても良い。このような構成にすることにより、図30及び図31の構造に比べて、PMOS、NMOS間の分離幅を小さくできたり、ラッチアップを防いだりすることができる。

【0135】<製造方法>図33~図37は実施の形態4の半導体装置の製造方法における素子分離工程を示す断面図である。

【0136】まず、図33に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板を出発材料とし、SOI基板上に酸化膜41と窒化膜42を順次堆積した後、パターニングしたレジスト43をマスクとして分離領域をパターニングし、窒化膜42、酸化膜41、SOI層の3多層膜を貫通させてトレンチ53を形成する。

【0137】そして、図34に示すように、全面にポリシリコン層65を膜厚制御性良く堆積した後、図35に示すように、複数のトレンチ53のうち、一部を覆うようにレジスト66を形成して、レジスト66で覆われなかったトレンチ53内のポリシリコン層65をエッチングして除去することにより、完全トレンチ48を形成する。

【0138】次に、図36に示すように、全面にトレンチ埋め込み用の酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により窒化膜42の途中まで研磨し、その後、窒化膜42、酸化膜41の除去を行うことにより、ポリシリコン領域67及びその内部に残存する酸化膜68と完全酸化膜32とが選択的に形成された構造を得ることができる。

【0139】そして、図37に示すように、ポリシリコン領域67を酸化させることにより、酸化膜68とポリシリコン領域67が酸化された領域とからなる部分酸化膜71と、酸化されずに残存したポリシリコン領域61(62)とによる部分分離構造が完成する。

【0140】ポリシリコン領域67の酸化度合いの方がSOI層3上に形成される酸化膜70より高いため、SOI層3の表面とポリシリコン領域61(62)の最上部との間に十分に段差が生じ、ゲート酸化膜形成時に酸化膜不良によりゲート電極9とポリシリコン領域61とがショートすることを防ぐことができる。

【0141】以下、既存の方法で、NMOSTランジスタ形成領域にNMOSTランジスタを形成し、PMOSTランジスタトランジスタ形成領域にPMOSTランジスタを形成することにより、図32で示したSOI構造を得ることができる。

## 【0142】&lt;&lt;実施の形態5&gt;&gt;

<第1の態様>図38はこの発明の実施の形態5のSOI構造の半導体装置の第1の態様の構造を示す断面図である。同図に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI構造の半導体装置におけるSOI層3の各トランジスタ形成領域は下層部にウェル領域が形成される低誘電率膜（埋め込み酸化膜2等の一般的な絶縁膜より誘電率が低い絶縁膜）75によって分離される。そして、図1で示した実施の形態1のように、NMOSTランジスタ間を分離する低誘電率膜75の下層にp型のウェル領域11が形成され、PMOSTランジスタ間を分離する低誘電率膜75の下層にn型のウェル領域12が形成され、NMOSTランジスタ、PMOSTランジスタ間を分離する低誘電率膜75の下層にp型のウェル領域及びn型のウェル領域（図38では共に図示せず）が形成される。上記したウェル領域は実施の形態1と同様、電気的に接続関係にあるボディー領域を介して電位固定が可能である。

【0143】SOI構造の場合、SOI層3の膜厚が50nm程度に薄くなる場合がある。このとき、素子分離用酸化膜（図1の部分酸化膜31）下に形成されるウェル領域が空乏化あるいは反転し、本来素子分離すべきトランジスタ間にリーク電流が流れる恐れがある。

【0144】しかしながら、実施の形態4の第1の態様では、素子分離用に低誘電率膜75を用いているため、膜厚が薄くともその容量を十分低く抑えることができ、上記したリーク電流発生を確実に回避することができる。

【0145】なお、低誘電率膜75としては、埋め込み酸化膜2等に用いられるシリコン酸化膜（比誘電率が3.9〜4程度）にフッ素を混入されたり、有機膜を用いることにより、比誘電率が3程度のものを用いている。

【0146】<第2の態様>図39は実施の形態5の第2の態様を示す断面図である。同図に示すように、図38の低誘電率膜75に代えて、低誘電率膜76と低誘電率膜76の底面及び側面に形成されるシリコン酸化膜78とにより素子分離を行っている。なお、他の構成は図38で示した第1の態様と同様である。

【0147】このように、低誘電率膜77の底面及び側面にシリコン酸化膜79を形成するのは、シリコン（ドレイン領域5、ソース領域6、ウェル領域11、12等）との界面に生じる欠陥や界面電荷の発生を確実に抑制するためである。なお、シリコン酸化膜78は熱酸化法やCVD法を用いて形成される。

【0148】<第3の態様>図40は実施の形態5の第3の態様を示す断面図である。同図に示すように、図38の低誘電率膜75に代えて、低誘電率膜77と低誘電率膜77の側面に形成されるシリコン酸化膜79とにより素子分離を行っている。なお、他の構成は図38で示

した第1の態様と同様である。

【0149】このように、低誘電率膜76の側面にシリコン酸化膜78を形成するのは、チャンネル形成領域7が存在する側面方向のシリコン（ドレイン領域5、ソース領域6）との界面に生じる欠陥や界面電荷の発生を確実に抑制することを主眼としたためである。

## 【0150】&lt;&lt;実施の形態6&gt;&gt;

<第1の態様>図41はこの発明の実施の形態6であるSOI構造の半導体装置における第1の態様の構造を示す断面図である。

【0151】同図に示すように、各素子間は層間絶縁膜4（説明の都合上、完全酸化膜32相当する部分も層間絶縁膜4で示す）によって完全分離し、ボディー領域となる接続領域80を埋め込み酸化膜2の上層部に形成し、その一部がSOI層3（図41ではドレイン領域5、チャンネル形成領域7）の端面裏面と接することにより、電気的接続関係を保っている。なお、接続領域80の導電型はチャンネル形成領域7と同じである。また、図1及び図2と同様の部分については同一の参照符号を付しその説明を適宜省略する。

【0152】このように、第1の態様の半導体装置はボディー領域となる接続領域80をSOI層3ではなく、埋め込み酸化膜2の上層部に設けたため、ゲート電極9との間に少なくともSOI層3の膜厚以上の高低差を設けることができる。その結果、製造時にゲート電極9と接続領域80とが短絡するという不具合を確実に回避することができる。

【0153】<第2の態様>図42はこの発明の実施の形態6であるSOI構造の半導体装置における第2の態様の構造を示す断面図である。

【0154】同図に示すように、ドレイン領域5s及びソース領域6sはSOI層3の上層部に浅く形成される。なお、他の構成は図41で示した第1の態様と同様である。

【0155】このように、第2の態様の半導体装置はドレイン領域5s及びソース領域6sをSOI層3上層部に浅く形成したため、ドレイン領域5sあるいはソース領域6と接続領域80とが接触関係を持ちリーク電流を引き起こすことを確実に回避することができる。

【0156】<製造方法（概念）>図43〜図45は接続領域80となるポリシリコン領域を形成する工程を概念的に示す断面図である。

【0157】まず、図43に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI構造から、SOI層3を表面から選択的に除去することにより、トレンチ分離が施された素子形成領域を形成する。

【0158】そして、図44に示すように、SOI層3をマスクとして埋め込み酸化膜2に対するウェットエッチングを施し、SOI層3の端面下面の埋め込み酸化膜

2が除去しながら、SOI層3が上部に存在しない埋め込み酸化膜2の上層部を除去した穴部94を形成する。

【0159】そして、図45に示すように、穴部94にポリシリコンを埋め込むことにより、接続領域80用のポリシリコン領域81を形成する。

【0160】<製造方法(その1)>図46~図48は接続領域80となるポリシリコン領域を形成するその1の工程をより具体的に示す断面図である。

【0161】まず、図46に示すように、SOI基板のSOI層3上にシリコン酸化膜91及びシリコン窒化膜92を堆積し、SOI層3、シリコン酸化膜91及びシリコン窒化膜92をパターニングしてトレンチ分離を行った後、パターニング後のSOI層3、シリコン酸化膜91及びシリコン窒化膜92の側面に側壁シリコン窒化膜93を形成する。

【0162】そして、図47に示すように、シリコン窒化膜92及び側壁シリコン窒化膜93をマスクとして、埋め込み酸化膜2に対するウェットエッチングを行い、SOI層3の端部裏面の埋め込み酸化膜2を除去しながら、SOI層3が上部に存在せずに露出した埋め込み酸化膜2の上層部を除去することにより、穴部94を形成する。

【0163】その後、図48に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をドライエッチングによりエッチバックすることにより、穴部94にポリシリコンを埋め込んで接続領域80用のポリシリコン領域81を形成する。

【0164】以下、図11で示した工程のように、トレンチに酸化膜を埋め込む等の方法により複数の素子形成領域を絶縁分離し、接続領域80を外部から電位固定可能にし、さらに、複数の素子形成領域それぞれに所定の素子を形成することにより、図41あるいは図42で示した構造が完成する。

【0165】<製造方法(その2)>図49~図51は接続領域80となるポリシリコン領域を形成するその2の工程を具体的に示す断面図である。

【0166】まず、既に取り上げた図46に示すように、SOI層3、シリコン酸化膜91及びシリコン窒化膜92をパターニングしてトレンチ分離を行った後、パターニング後のSOI層3、シリコン酸化膜91及びシリコン窒化膜92の側面に側壁シリコン窒化膜93を形成する。

【0167】そして、図49に示すように、シリコン窒化膜92及び側壁シリコン窒化膜93をマスクとして、埋め込み酸化膜2に対するウェットエッチングを行い、SOI層3の端部裏面の埋め込み酸化膜2を除去しながら、SOI層3が上部に存在しない埋め込み酸化膜2の上層部を除去することにより、穴部94を形成する。

【0168】次に、図50に示すように、SOI層3の露出した裏面からのエピタキシャル成長により側壁シリ

コン窒化膜93下にエピタキシャル成長層82を形成する。

【0169】その後、図51に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をエッチバックすることにより、穴部94にポリシリコンを埋め込んで接続領域80用のポリシリコン領域83を形成する。その結果、エピタキシャル成長層82とポリシリコン領域83とからなる接続領域80を形成することができる。

【0170】以下、トレンチに酸化膜を埋め込む等の方法により複数の素子形成領域を絶縁分離し、接続領域80を外部から電位固定可能にし、さらに、複数の素子形成領域それぞれに所定の素子を形成することにより、図41あるいは図42で示した構造が完成する。

【0171】第2の態様の構造は、エピタキシャル成長層82を介している分、ドレイン領域5あるいはソース領域6とチャネル形成領域7とによるPN接合部分とポリシリコン領域83との距離を十分とることができ、良好な電気的特性を得ることができる。

【0172】<第3の態様>図52は実施の形態6の第3の態様を示す断面図である。同図の構造は図41で示した構造(接続領域80、ボディーコンタクト23、ゲートコンタクト24及び配線層22, 25を除く)から、シリコン基板1及び埋め込み酸化膜2を研磨により除去した後、表裏面を反対にした後、新たな裏面にシリコン基板90を張り合わせ、接続領域86を表面に形成した構造である。したがって、シリコン基板90、層間絶縁膜4及び素子形成領域(ドレイン領域5、ソース領域6、チャネル形成領域7等)からなるSOI構造となる。

【0173】第3の態様は結果的に接続領域86を表面に形成することになるため、製造工程が容易になる。

【0174】<第4の態様>図53は実施の形態6の第4の態様を示す断面図である。同図に示すように、埋め込み酸化膜2を貫通して接続領域87を形成している。他の構成は図41で示した第1の態様と同様である。

【0175】このように、第4の態様は、埋め込み酸化膜2を貫通して接続領域87を形成したため、支持基板であるシリコン基板1から電位を固定することができる。この際、図54に示すように、接続領域87形成をウェットエッチングにより埋め込み酸化膜2の上層部に形成された穴部89と、ドライエッチングにより横方向に広がりにくく埋め込み酸化膜2を貫通して形成された貫通部88とにより貫通口を設けた後、ポリシリコン等を埋め込んで接続領域87を形成すれば、貫通口形成時の横方向の広がりを抑えながら、埋め込み酸化膜2を貫通した接続領域87を得ることができる。

【0176】<<実施の形態7>>図63はこの発明の実施の形態7であるSOI構造の半導体装置の完全分離領域の設計方法説明用の平面図である。同図に示すよう

に、CMOSトランジスタを形成する場合、仮想 $n$ ウェル領域104内にPMOS活性領域101及びPMOSボディーコンタクト領域102が選択的に設けられ、仮想 $n$ ウェル領域104外の $P$ 領域（図示せず）にNMOS活性領域111及びNMOSボディーコンタクト領域112を選択的に設けられる形状が一般的である。

【0177】一方、実施の形態2の第3の態様（図7）等で示した複合分離領域によってNMOS、PMOS間を分離する場合、仮想 $n$ ウェル領域104と部分分離領域とがほぼ一致し、部分分離領域に連続して完全分離領域が形成される。

【0178】このような複合分離領域を用いた半導体装置のレイアウト構成は蓄積された過去のレイアウトデータを利用できる可能性は高い。

【0179】したがって、完全分離領域は以下の①～③で示す設計方法を実行することにより自動生成することができる。

【0180】①ウェル領域内形成されるPMOSTランジスタとウェル領域外に形成されるNMOSTランジスタとからなるCMOSデバイスの過去データを得る。

【0181】②過去データに基づき第1及び第2のMOSTランジスタの形成領域（PMOS活性領域101、PMOSボディーコンタクト領域102、NMOS活性領域111、NMOSボディーコンタクト領域112）を設定する。

【0182】③上記過去データにおけるウェル領域を仮想 $n$ ウェル領域104として、 $n$ ウェル領域104の外周近傍領域に、完全分離領域105を設定する。

【0183】仮想 $n$ ウェル領域104は通常、NMOS領域とPMOS領域とを区別する領域であるため、仮想 $n$ ウェル領域104を基準にして完全分離領域を設定することによりNMOSTランジスタ、PMOSTランジスタ間を効果的に分離することができる。

【0184】図63の例では、仮想 $n$ ウェル領域104の外縁を完全分離幅 $W$ の半分の幅 $W/2$ で外側にオーバーサイズ設定するとともに、同外縁を幅 $W/2$ で内側にアンダーサイズ設定することにより完全分離領域105を設定している。

【0185】このように、通常のCMOSTランジスタを製造する過去データのウェル領域の外周近傍に完全分離幅 $W$ に基づき完全分離領域を自動設定することができる。

【0186】さらに、部分分離領域113をPMOS活性領域101、PMOSボディーコンタクト領域102、 $n$ ウェル領域104、NMOS活性領域111及びNMOSボディーコンタクト領域112以外の領域に $n$ ウェル領域104に連続して $K$ 形成されるように設定することにより、完全分離領域105及び部分分離領域113からなる複合分離領域を設計することができる。

【0187】＜＜実施の形態8＞＞

＜ラッチアップ現象＞図64はラッチアップ現象説明用の説明図である。同図に示すように、PMOS領域131にNMOS領域141が隣接するCMOS構造では、PMOS領域131内のPMOS活性領域133及び $n$ ウェル領域132とNMOS領域141内の $p$ ウェル領域142とにより形成される寄生バイポーラトランジスタ $T1$ と、NMOS領域141内のNMOS活性領域143及び $p$ ウェル領域142とPMOS領域131内の $n$ ウェル領域132とにより形成される寄生バイポーラトランジスタ $T2$ とが形成される。

【0188】 $n'$ ボディーコンタクト領域135は $n$ ウェル領域132の抵抗成分 $R11$ と介して寄生バイポーラトランジスタ $T1$ のベースに接続されることになる。同様に、 $p'$ ボディーコンタクト領域145は $p$ ウェル領域142の抵抗成分 $R12$ を介して寄生バイポーラトランジスタ $T2$ のベースに接続されることになる。 $n'$ ボディーコンタクト領域135は電源電圧 $V_{cc}$ に設定され、 $p'$ ボディーコンタクト領域145は接地レベル $V_{ss}$ に設定される。なお、PMOS活性領域133及びNMOS活性領域143の中心部にはゲート電極134及び144がそれぞれ形成されている。

【0189】これら寄生バイポーラトランジスタ $T1$ 及び $T2$ による寄生サイリスタ構造が形成されることにより、ノイズによって寄生サイリスタがオン状態になると電源電圧 $V_{cc}$ から接地レベル $V_{ss}$ にかけて電流が流れっぱなしになるというラッチアップ現象が起こる。

【0190】＜第1の態様＞一般にラッチアップ現象を引き起こすノイズは入出力端子から入ってくることが多い。そこで、図65に示すように、入出力NMOS（トランジスタ形成）領域106、入出力PMOS（トランジスタ形成）領域116間の境界近傍領域を完全分離領域114で完全分離する構造が望ましい。なお、入出力NMOS領域106及び入出力PMOS領域116はそれぞれ部分分離領域107及び部分分離領域117で周辺領域と部分分離されている。

【0191】入出力領域とは入出力バッファや保護回路を主に形成する領域を意味する。図66は入力回路の一例を示す回路図である。同図に示すように、入力信号 $I_N$ を受ける外部入力端子 $P1$ は抵抗 $R1$ 及び $R2$ を介して入力バッファ122の入力部に接続され、入力バッファ122の出力部が内部入力端子 $P2$ に接続され、内部入力端子 $P2$ より内部信号 $S0$ が出力される。

【0192】入力保護回路121はPMOSTランジスタ $Q1$ 及びNMOSTランジスタ $Q2$ から構成され、PMOSTランジスタ $Q1$ はソース及びゲートが電源電圧 $V_{cc}$ に接続され、ドレインが抵抗 $R1$ 、 $R2$ 間のノード $N1$ に接続される。NMOSTランジスタ $Q2$ はソース及びゲートが接地され、ドレインがノード $N1$ に接続される。

【0193】入力バッファ122はPMOSTランジスタ



タQ11, NMOSTランジスタQ12によりCMOSインバータを構成し、PMOSTランジスタQ11, NMOSTランジスタQ12のゲートが入力部、ドレインが出力部となる。

【0194】この回路例では、PMOSTランジスタQ1及びQ11が出力PMOS領域118に形成され、NMOSTランジスタQ2及びQ12が出力NMOS領域108に形成される。

【0195】図67は出力回路の一例を示す回路図である。同図に示すように、内部信号S1を受ける内部入力端子P3は出力バッファ123の入力部に接続され、出力バッファ123の出力部より得られる信号が外部出力端子P4を介して出力信号OUTとして出力される。

【0196】出力バッファ123はPMOSTランジスタQ13, NMOSTランジスタQ14によりCMOSインバータを構成し、PMOSTランジスタQ13, NMOSTランジスタQ14のゲートが入力部、ドレインが出力部となる。

【0197】出力保護回路124はPMOSTランジスタQ3及びNMOSTランジスタQ4から構成され、PMOSTランジスタQ3のソース及びゲートが電源電圧Vccに接続され、ドレインが外部出力端子P4に接続される。NMOSTランジスタQ4のソース及びゲートが接地され、ドレインが外部出力端子P4に接続される。

【0198】この回路例では、PMOSTランジスタQ3及びQ13が出力PMOS領域119に形成され、NMOSTランジスタQ4及びQ14が出力NMOS領域109に形成される。

【0199】このように、実施の形態8の第1の態様は、ラッチアップ現象が生じやすい入出力NMOS領域106, 入出力PMOS領域116間の少なくとも境界近傍領域に完全分離領域114を形成して完全分離することにより、ラッチアップ現象が生じない構造にしている。

【0200】また、実施の形態8の第1の態様はNMOS領域, PMOS領域間の全領域に完全分離領域を設けるのではなく、入出力NMOS領域, 入出力PMOS領域の境界近傍領域のみに完全分離領域114を設けることにより、ラッチアップ現象を効果的に抑制しながら、回路形成面積の増大を最小限に抑えることができる。

【0201】＜第2の態様＞なお、入出力NMOS領域106, 入出力PMOS領域116間の完全分離は、図65のように、入出力NMOS領域106, 入出力PMOS領域116間の境界近傍領域のみに設けてる以外に、図68に示す第2の態様のように、入出力NMOS領域106及び入力PMOS領域118を完全に囲うように完全分離領域115を形成してもよい。

【0202】さらに、入出力NMOS領域, 入出力PMOS領域間に加え、アナログ回路, デジタル回路間の

ように特定の回路間に完全分離領域を設けることも考えられる。

【0203】＜第3の態様＞図69は実施の形態8の第3の態様を示す説明図である。同図に示すように、NMOS領域（入出力NMOS領域106, 内部NMOS領域180）, PMOS領域（入出力PMOS領域116, 内部PMOS領域190）間に加え、入出力領域（入出力PMOS領域116）, 内部回路領域（内部NMOS領域180）間をも完全分離領域110で完全分離している。

【0204】第3の態様により、第1及び第2の態様の効果に加え、ノイズ影響を受けやすい入出力領域の影響を内部回路領域から完全に遮断することができる。

【0205】＜＜実施の形態9＞＞

＜第1の態様＞図70はこの発明の実施の形態9であるSOI構造の半導体装置の第1の態様の平面構造を示す平面図であり、図71は図70のA-A断面構造を示す断面図である。これらの図に示すように、NMOS（トランジスタ形成）領域126とPMOS（トランジスタ形成）領域136とが隣接して設けられている。NMOS領域126内に複数のゲート電極129を有するNMOS活性領域128とp'ボディー領域130とが形成され、NMOS活性領域128の周囲を部分分離領域127で囲っている。

【0206】一方、PMOS領域136内に複数のゲート電極139を有するPMOS活性領域138とn'ボディー領域140とが形成され、PMOS活性領域138の周囲を部分分離領域137及び完全分離領域120によって囲っている。完全分離領域120は、NMOS領域126とPMOS領域136との境界近傍のPMOS領域136内におけるゲート電極139のPMOS活性領域138からのみだし部分に設けられる。

【0207】したがって、NMOS領域126と部分分離領域127との境界近傍領域は、図71に示すように、NMOS領域126は酸化膜54とウェル領域169とによる部分分離領域127で周囲と分離されるのに対し、PMOS領域136は酸化膜54のみによる完全分離領域120で周囲と分離される。

【0208】このように、NMOS領域126には完全分離領域を全く形成せず、部分分離領域127を設けることにより、酸化膜54下のウェル領域169を介してNMOSTランジスタの基板電位の固定が不足なく行えるため、基板浮遊効果の激しいNMOSTランジスタの基板浮遊効果を効果的に抑えることができる。

【0209】また、基板浮遊効果がNMOSTランジスタに比べて穏やかなPMOSTランジスタは、周辺の一部に完全分離領域を形成しても大きな悪影響はなく、NMOS領域126, 部分分離領域127間を完全分離領域120によって絶縁分離しながら面積効率を高めた配置となり、レイアウトに余裕がない場合等に有効とな



る。

【0210】＜第2の態様＞図72はこの発明の実施の形態9であるSOI構造の半導体装置の第2の態様の平面構造を示す平面図であり、図73は図72のB-B断面構造を示す断面図である。これらの図に示すように、p<sup>-</sup>型のウェル領域169内に形成されるNMOS領域126と、n<sup>-</sup>型のウェル領域179内に形成されるPMOS領域136とが隣接して設けられる。

【0211】NMOS領域126内に複数のゲート電極129を有するNMOS活性領域128が形成され、NMOS活性領域128の周囲の大部分を完全分離領域125で囲っている。そして、ゲート電極129の一方側（PMOS領域136と反対側）のゲート電極129の端部のみ部分分離領域127で周囲と分離している。

【0212】図73に示すように、酸化膜54と酸化膜54の下方に形成されたウェル領域169とにより部分分離領域127を構成している。なお、部分分離領域127の形成幅は、ゲート電極129の形成幅よりも大きくても（図73の左側）、小さくても（図73の右側）良い。また、ウェル領域169内の上記ゲート電極129の一方側付近にp<sup>+</sup>ボディー領域130が設けられる。

【0213】一方、PMOS領域136内に複数のゲート電極139を有するPMOS活性領域138が形成され、PMOS活性領域138の周囲の大部分を完全分離領域125で囲っている。そして、NMOS領域126と同様、ゲート電極139の一方側（NMOS領域126と反対側）のゲート電極139の端部のみ部分分離領域137で周囲と分離している。また、ウェル領域179内の上記ゲート電極139の一方側付近にn<sup>+</sup>ボディー領域140が設けられる。

【0214】このように、実施の形態9の第2の態様は、ゲート電極の端部を部分分離領域によって分離して、ゲート電極下に存在するチャネル形成領域と部分分離領域のウェル領域とが接するように形成することにより、各トランジスタ形成領域の基板電位を固定することができる。

【0215】なお、NMOS領域126及びPMOS領域136の周囲の大部分を完全分離領域125で囲っているのは、PN接合面積を減らすためとラッチアップ現象が生じる経路を遮断するためである。

【0216】＜＜実施の形態10＞＞

＜第1の態様＞図74はこの発明の実施の形態10であるSOI構造の半導体装置の第1の態様の構成を示す平面図である。同図に示すように、NMOS活性領域128内に複数のゲート電極129が形成され、NMOS活性領域128の周囲を囲って部分分離領域127を設けている。さらに、部分分離領域127の周囲を囲ってp<sup>+</sup>ボディー領域146を設けている。なお、図101は図74のE-E断面構造を示す断面図である。

【0217】部分分離領域127は図101に示すように、酸化膜54とウェル領域169とから構成されており、このウェル領域169はNMOS活性領域128に形成されるチャネル形成領域と接して形成されるため、ノイズやラッチアップの影響を受けやすい構造になっている。

【0218】しかしながら、実施の形態10の第1の態様は、部分分離領域127を囲ってp<sup>+</sup>ボディー領域146が形成されているため、p<sup>+</sup>ボディー領域146を接地レベルに固定する等の基板固定を行うことにより、他の回路部分からの影響を抑制し、基板電位を安定にでき、ノイズやラッチアップに対する耐性を大きく向上させることができる。

【0219】このような構成の第1の態様は、ノイズ源の回路ブロック、外部からノイズを遮断したい回路ブロック等に適している。なお、PMOS活性領域の場合は部分分離領域の周囲をn<sup>+</sup>のボディー領域で囲って形成すれば、同様な効果が得られる。

【0220】＜第2の態様＞図75はこの発明の実施の形態10であるSOI構造の半導体装置の第2の態様の構成を示す平面図である。同図に示すように、入出力NMOS領域151と入出力PMOS領域152とが隣接して形成される。

【0221】入出力NMOS領域151において、NMOS活性領域128内に複数のゲート電極129が形成され、NMOS活性領域128の周囲を囲って部分分離領域127Aを設けている。さらに、部分分離領域127Aの周囲を囲ってp<sup>+</sup>ボディー領域146を設けている。そして、p<sup>+</sup>ボディー領域146を囲って部分分離領域127Bを設けている。

【0222】入出力PMOS領域152において、PMOS活性領域138内に複数のゲート電極139が形成され、PMOS活性領域138の周囲を囲って部分分離領域137Aを設けている。さらに、部分分離領域137Aの周囲を囲ってn<sup>+</sup>ボディー領域147を設けている。そして、n<sup>+</sup>ボディー領域147を囲って部分分離領域137Bを設けている。

【0223】一般に入出力回路はサージやノイズの影響をチップ外から受ける場合が多いため、ラッチアップ現象やノイズ耐性を高めることが特に重要となる。

【0224】実施の形態10の第2の態様では、入出力NMOS領域151及び入出力PMOS領域152それぞれの部分分離領域127A及び137Aをp<sup>+</sup>ボディー領域146及びn<sup>+</sup>ボディー領域147で囲うことにより、サージに影響でウェル領域の電位が上昇して生じるラッチアップ現象を抑制することができる。

【0225】第2の態様では、NMOS、PMOS活性領域全体をボディー領域で覆った構造と示したが、入出力NMOS領域151と入出力PMOS領域152との境界近傍領域に、少なくともボディー領域を設ければ、

ラッチアップ現象やノイズ耐性のある程度高めることができる。

#### 【0226】＜＜実施の形態 11＞＞

＜第 1 の態様＞図 76 はこの発明の実施の形態 11 である SOI 構造の半導体装置の第 1 の態様の構成を示した平面図である。

【0227】同図に示すように、NMOS 活性領域 128 内に複数のゲート電極 129 が設けられ、NMOS 活性領域 128 の周囲を囲ってフローティング部分分離領域 149 を形成し、フローティング部分分離領域 149 の周囲を囲って完全分離領域 148 を形成している。

【0228】フローティング部分分離領域 149 は、例えば図 55 の部分酸化膜 31 とウェル領域 11 との関係のように酸化膜とウェル領域との 2 層構造で形成されるが、ウェル領域は電位固定されることなく、常にフローティング状態とされている。フローティング部分分離領域 149 のウェル領域をフローティング状態にしても、衝突電離によって発生したキャリアはフローティング部分分離領域 149 のウェル領域に流れ込むため、ポテンシャル上昇を最低限に抑えることができる。加えて、宇宙線によって発生する電荷をフローティング部分分離領域 149 のウェル領域に分散できるためソフトエラー耐性を向上させることもできる。

【0229】このようにフローティング部分分離領域 149 を設ける実施の形態 11 の第 1 の態様の構成は、SRAM 等、高密度回路でボディー領域へのコンタクトが困難な場合等に有効である。

【0230】なお、完全分離領域 148 を設ける方がラッチアップ耐性向上等の観点から望ましいが、必ずしも必要でない。

【0231】＜第 2 の態様＞図 77 はこの発明の実施の形態 11 である SOI 構造の半導体装置の第 2 の態様の構成を示した平面図である。

【0232】同図に示すように、フローティング部分分離領域 149 内にフローティング p' ボディー領域 150 を設けている。他の構成は図 76 で示した第 1 の態様と同様である。

【0233】フローティング p' ボディー領域 150 は電位固定されることなく、常にフローティング状態とされている。したがって、フローティング部分分離領域 149 のウェル領域もフローティング状態となる。

【0234】第 2 の態様のように、フローティング部分分離領域 149 のウェル領域をフローティング状態にしても、第 1 の態様と同様、ポテンシャル上昇を最低限に抑えることができ、ソフトエラー耐性を向上させることができる。

【0235】さらに、第 2 の態様は、フローティング p' ボディー領域 150 の存在により、キャリアの再結合が促進されるため、第 1 の態様に比べ基板浮遊効果の抑制効果が大きくなる効果を奏する。

#### 【0236】＜＜実施の形態 12＞＞

＜第 1 の態様＞図 78 はこの発明の実施の形態 12 である SOI 構造の半導体装置の第 1 の態様の構成を示した平面図であり、図 79 はその C-C 断面図である。

【0237】これらの図に示すように、ドレイン領域 153、ソース領域 154 及びゲート電極 155 で構成される NMOS トランジスタのソース領域 154 に隣接して p' 型のボディー領域 156 を設け、ソース領域 154 及びボディー領域 156 が共にアルミ配線層 160 とコンタクト 158 によって電氣的に接続されている。

【0238】なお、ドレイン領域 153 はアルミ配線層 159 とコンタクト 157 によって電氣的に接続され、ドレイン領域 153、ソース領域 154 及びボディー領域 156 の周囲を囲って部分分離領域 161 が形成されている。

【0239】図 79 に示すように、部分分離領域 161 は、酸化膜 162 と p' 型のウェル領域 177 とから構成されている。また、ソース領域 154 及びボディー領域 156 の共通接続を容易にすべくソース領域 154 及びボディー領域 156 の上面にまたがってシリサイド層 163 を形成し、シリサイド層 163 上にコンタクト 158 を形成している。なお、ゲート電極 155 のゲート酸化膜 178 下方の SOI 層 3 の領域がチャネル形成領域 170 となる。

【0240】このような構成において、アルミ配線層 160 によって、ソース領域 154 及びボディー領域 156 を接地レベルに固定することによって、ソース領域 154 と同電位にウェル領域 177 の電位を固定し、ウェル領域 177 を介してチャネル形成領域 170 の電位を固定することができる。

【0241】そして、第 1 の態様は、図 78 及び図 79 のように、ソース領域 154 及びボディー領域 156 を隣接して形成できる分、集積度の向上を図ることができる。

【0242】なお、PMOS トランジスタも同様に構成することができる。ただし、ソース領域及びボディー領域の電位固定は電源レベルで行う必要がある。

【0243】＜第 2 の態様＞図 80 はこの発明の実施の形態 12 である SOI 構造の半導体装置の第 2 の態様の構成を示した平面図であり、図 81 はその D-D 断面図である。

【0244】これらの図に示すように、ソース領域 154 と隣接して p' 型のボディー領域 164 を設け、ソース領域 154 及びボディー領域 164 が共にアルミ配線層 166 とコンタクト 165 によって電氣的に接続されている。この際、コンタクト 165 がソース領域 154 とボディー領域 164 とにかかるとに形成される。そして、ドレイン領域 153、ソース領域 154 及びボディー領域 164 の周囲を囲って部分分離領域 161 が形成されている。

【0245】図81に示すように、ソース領域154上にシリサイド層167が形成され、シリサイド層167の一部及び上ボディ領域164上にコンタクト165を形成している。なお、他の構成は図78及び図79で示した第1の態様と同様である。

【0246】このような構成において、アルミ配線層166によって、ソース領域154及びボディ領域164を接地レベルに固定することによって、ソース領域154と同電位にウェル領域177の電位を固定し、ウェル領域177を介してチャネル形成領域170の電位を固定することができる。

【0247】そして、第2の態様は、図80及び図81のように、ソース領域154及びボディ領域156を隣接して形成できる分、集積度の向上を図ることができる。

【0248】＜第3の態様＞図82に示すように、部分分離領域161と隣接し、通常ソース領域154となる部分の一部にボディ領域164を設け、ソース領域154上にコンタクト156を設けても、第2の態様と同等の効果を奏する。

【0249】さらに、第3の態様は、図82のように、ソース領域154となる領域内にボディ領域156を完全重複して形成できる分、第1及び第2の態様以上に集積度の向上を図ることができる。

【0250】＜＜実施の形態13＞＞図83はこの発明の実施の形態13であるSOI構造の半導体装置の断面構造を示す断面図である。同図に示すように、n<sup>+</sup>活性領域171、172間を分離する部分分離領域を酸化膜173と酸化膜173下のウェル領域（p領域174、175及びp<sup>+</sup>領域176）とから構成している。なお、n<sup>+</sup>活性領域171、172として例えば、トランジスタのソース、ドレイン領域が考えられ、p領域174、175がn<sup>+</sup>活性領域171、172に隣接するウェル領域の周辺領域となり、p<sup>+</sup>領域176がウェル領域の中心領域となる。

【0251】このように、実施の形態13は、n<sup>+</sup>活性領域171、172と隣接するp領域174及び175の不純物濃度をp<sup>+</sup>領域176より高く設定することにより、部分分離におけるパンチスルー耐性の向上を図っている。

【0252】なお、製造方法としては、酸化膜173下にp<sup>+</sup>のウェル領域形成後、斜め回転注入でボロンやBF<sub>3</sub>をウェル領域に達するように注入すれば、図312で示すように、p領域174、175を形成することができる。

【0253】例えば、ボロン（B）を注入エネルギー20keV、注入角度45度で、ドーズ量 $4 \times 10^{11} / \text{cm}^2$ 注入すれば良い。また、BやBF<sub>3</sub>の注入エネルギーが低い場合（例えば、BF<sub>3</sub>の注入エネルギー20keV）でも、n<sup>+</sup>の不純物注入時に発生する格子欠陥によ

る増速拡散によってn<sup>+</sup>活性領域171、172の周辺にp型の領域を形成することによりp領域174、175を設けることも可能である。

【0254】＜＜実施の形態14＞＞

＜第1の態様＞図84はこの発明の実施の形態14であるSOI構造の半導体装置の第1の態様の断面構造を示す断面図である。同図に示すように、シリコン基板1及び埋め込み酸化膜2上のSOI層3に形成され、ドレイン領域183、ソース領域184、ゲート酸化膜185、ゲート電極186及びチャネル形成領域187で構成されるNMOSTランジスタが酸化膜181及びウェル領域182よりなる部分分離領域によって部分分離される。

【0255】このとき、図84の右側に示すように、ドレイン領域183及びソース領域184の不純物プロファイルと、ウェル領域182の不純物プロファイルとの比較した場合、ウェル領域182の不純物ピークがドレイン領域183及びソース領域184の不純物ピークよりSOI層3の表面からの深さが深くなるように設定する。

【0256】このような構成の第1の態様の半導体装置は、ドレイン領域183及びソース領域184とウェル領域182とのPN接合部分を薄い不純物プロファイル同士で形成することができるため、ドレイン領域183及びソース領域184とウェル領域182とのPN接合耐圧を高めることができる。

【0257】＜第2の態様＞図85はこの発明の実施の形態14であるSOI構造の半導体装置の第2の態様の断面構造を示す断面図である。同図に示すように、第1の態様と同様な構造を呈している。

【0258】このとき、図85の右側に示すように、ウェル領域182の不純物プロファイルとチャネル形成領域187の不純物プロファイルとの比較した場合、ウェル領域182の不純物ピークがチャネル形成領域187の不純物ピークよりSOI層3の表面からの深さが浅くなるように設定する。例えば、部分分離用の酸化膜181の上面がSOI層3の表面より上部にある状態で不純物注入することによりウェル領域182及びチャネル形成領域187を同時に形成すれば、チャネル形成領域187は自動的にウェル領域182より深い位置にピークとなる不純物プロファイルとなる。

【0259】このような構成の第2の態様の半導体装置は、チャネル形成領域187の表面の不純物濃度を十分に下げ、閾値電圧が所望の値より大きくなるようにすることができる。

【0260】＜＜実施の形態15＞＞

＜第1の態様＞図86はこの発明の実施の形態15であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。同図に示すように、シリコン基板1及び埋め込み酸化膜2上のSOI層3にn<sup>+</sup>活性領域191～

193 が選択的に形成され、n' 活性領域 191, 192 間が完全分離領域 209 で分離され、n' 活性領域 192, 193 間が部分分離領域 219 で分離されている。

【0261】完全分離領域 209 は酸化膜 188 と酸化膜 188 下に形成されるウェル領域 (p' ウェル領域 194, 195 及び p ウェル領域 196, 197) とから構成される。酸化膜 188 は中心部の完全絶縁部分 229 が SOI 層 3 を貫通して形成されることにより、n' 活性領域 191, 192 間を完全分離することができる。一方、部分分離領域 219 は酸化膜 189 と酸化膜 189 下の p' ウェル領域 198 とにより構成される。

【0262】酸化膜 188 下のウェル領域において、完全絶縁部分 229 に隣接して形成される p ウェル領域 196, 197 の不純物濃度を他の領域 194, 195 より高く設定している。

【0263】完全絶縁部分 229 の近傍領域では SOI 層 3 にかかるストレスにより電荷が発生したり不純物の酸化膜への偏析によりパンチスルーしやすい状態になるという不具合が生じる可能性が高い。

【0264】しかしながら、実施の形態 15 の第 1 の態様は、完全絶縁部分 229 の近傍に比較的不純物濃度の高い p ウェル領域 196, 197 を設けているため、上記不具合の発生の可能性を抑制することができる。

【0265】<第 2 の態様>図 87 はこの発明の実施の形態 15 である SOI 構造の半導体装置の第 2 の態様の構成を示す平面図である。同図に示すように、ドレイン領域 201, ソース領域 202 及びゲート電極 203 からなる NMOS トランジスタの周囲を部分分離領域 204 ~ 207 で囲い、さらに部分分離領域 204 ~ 207 の周囲を完全分離領域 208 で囲っている。

【0266】部分分離領域 204 ~ 207 において、ゲート電極 203 の近傍領域は不純物濃度が比較的高い p ウェル領域 206 及び 207 を形成し、それ以外のドレイン領域 201 及びソース領域 202 に接した領域は不純物濃度が低い p' ウェル領域 204 及び 205 を形成している。

【0267】このような構成の実施の形態 15 の第 2 の態様は、p' ウェル領域 204 及び 205 によって PN 接合容量の低下を図り、p ウェル領域 206 及び 207 によってパンチスルーを防止することができる。

【0268】<<実施の形態 16>>

<第 1 の態様>図 88 はこの発明の実施の形態 16 である SOI 構造の半導体装置の第 1 の態様の構成を示す断面図である。同図に示すように、シリコン基板 1 及び埋め込み酸化膜 2 上の SOI 層 3 内に部分分離領域用の酸化膜 211 を形成している。

【0269】分離形状の最適化において、分離幅の縮小と SOI 層にかかるストレス緩和の両面のバランスをとる必要がある。部分分離領域用の酸化膜の形状におい

て、分離幅の縮小のためにはできるだけ角部の曲率をきつく (曲率半径を小さく) し、また深さ方向の面を垂直に近づけるのが良い。逆にストレス緩和のためには角部の曲率を緩く (曲率半径を大きく) する方が良い。また、バースピーク部は有効な活性領域幅を確保するためにできるだけ小さくするのが好ましい。

【0270】このような観点から、第 1 の態様の酸化膜 211 の断面形状は、分離幅を縮小するために、表面の角部であるバースピーク部の形状 FA (凸部分) の曲率をきつくし、ストレスを緩和するために底面の角部の形状 FC の曲率を緩く設定している。また、分離幅を縮小するために、深さ方向の面の形状 FB の少なくとも一部は垂直に近づけることが望ましい。

【0271】<第 2 の態様>図 89 はこの発明の実施の形態 16 である SOI 構造の半導体装置の第 2 の態様の構成を示す断面図である。同図に示すように、シリコン基板 1 及び埋め込み酸化膜 2 上の SOI 層 3 内に完全分離領域用の酸化膜 212 を形成している。

【0272】第 2 の態様も第 1 の態様と同様の観点から、酸化膜 212 の断面形状は、第 1 の態様と同様な形状 FA, FB, FC に設定し、さらに、底部の完全絶縁部分と部分分離部分との段差部の形状 FD の曲率を形状 FC よりもきつく設定して分離幅の縮小を図っている。

【0273】<<実施の形態 17>>

<第 1 の態様>図 90 はこの発明の実施の形態 17 である SOI 構造の半導体装置の第 1 の態様の構成を示す断面図である。なお、第 1 の態様は図 91 で示す回路を実現している。図 91 に示すように、アナログ回路用トランジスタ Q21 のゲート電極とアナログ回路用トランジスタ Q22 の一方電極との間がスパイラルインダクタ 199 を介して接続される回路構成が第 1 の態様の回路構成である。

【0274】図 90 に示すように、高抵抗シリコン基板 200 上に埋め込み酸化膜 2 が形成され、埋め込み酸化膜 2 上の SOI 層 3 にアナログ回路用トランジスタ Q21 及び Q22 が作り込まれている。

【0275】アナログ回路用トランジスタ Q21 及び Q22 は共にドレイン領域 5、ソース領域 6、チャネル形成領域 7、ゲート酸化膜 8 及びゲート電極 9 から構成され、アナログ回路用トランジスタ Q21, Q22 間は比較的形成面積が大きい酸化膜 210 により完全分離され、アナログ回路用トランジスタ Q21, 22 と他の周辺部とは比較的形成面積が小さい酸化膜 33 で完全分離されている。なお、酸化膜 210 及び 33 の下方の一部にはウェル領域 29 が形成されている。

【0276】アナログ回路用トランジスタ Q21, Q22 を含む SOI 層 3 全面に層間絶縁膜 4 が形成され、層間絶縁膜 4 上に選択的に第 1 配線層 221 が形成される。第 1 配線層 221 の一部はコンタクトホール 244 を介してアナログ回路用トランジスタ Q21, Q22 を

それぞれのドレイン領域 5 及びソース領域 6 と電氣的に接続される。

【0277】第 1 配線層 221 を含む層間絶縁膜 4 上の全面に層間絶縁膜 220 が形成され、層間絶縁膜 220 上に選択的に第 2 配線 222 が形成され、第 2 配線 222 の一部によってスパイラルインダクタ 199 を形成している。第 2 配線 222 の一部はコンタクトホール 254 を介して対応する第 1 配線層 221 (221A) と電氣的に接続される。なお、アナログ回路用トランジスタ Q21 のゲート電極 9 は図示しない領域で層間絶縁膜 4 に形成されるコンタクトホールを介して第 1 配線層 221A と接続される。

【0278】このような構成の第 1 の態様は、スパイラルインダクタ 199 の下方に酸化膜 210 及びウェル領域 29 からなる完全絶縁領域を設けることにより、スパイラルインダクタ 199 に付随する寄生容量の低減を図っている。すなわち、スパイラルインダクタ 199 下の分離領域を酸化膜とウェル領域との部分分離領域で形成した場合に、ウェル領域とスパイラルインダクタ 199 との間で寄生容量が発生し、性能指数 Q (エネルギーロスとストアの比) が低下しエネルギーロスが発生する等によって所望のインダクタンス性能が得られないという不具合を解消している。

【0279】また、第 1 の態様は SOI 基板の下地基板として高抵抗シリコン基板 200 を用いることにより、渦電流や容量を介した電力ロスの低減化、寄生容量の低減化を図り、性能指数 Q の向上させることができる。

【0280】また、アナログ回路は外来ノイズを嫌うため、アナログ回路用トランジスタ Q21、Q22 の周辺を酸化膜 210 あるいは酸化膜 33 によって完全分離して、外部との電氣的遮断し、性能の向上を図っている。

【0281】また、図 90 では図示していないが、パッド部の下方に部分分離領域を形成するとスパイラルインダクタと同様に大きな寄生容量が発生しやすく電量ロスを生じ易いため、パッド部下方にもスパイラルインダクタ 199 の下方と同様に完全分離領域を設けるのが望ましい。

【0282】<第 2 の態様>図 92 はこの発明の実施の形態 17 である SOI 構造の半導体装置の第 2 の態様の構造を示す断面図である。なお、第 2 の態様は第 1 の態様と同様に図 91 で示す回路を実現している。

【0283】図 92 に示すように、アナログ回路用トランジスタ Q21、Q22 間は比較的形成面積が大きい酸化膜 218 並びにその下方の高抵抗領域 223 及びウェル領域 224 により部分分離され、アナログ回路用トランジスタ Q21、22 と他の周辺部とは比較的形成面積が小さい酸化膜 31 及びその下方のウェル領域 11(12) で部分分離されている。

【0284】酸化膜 218 下の大部分の領域は高抵抗領域 223 で形成され、周辺部の一部のみウェル領域 22

4 が形成されている。なお、他の構成は図 90 で示した第 1 の態様と同様である。

【0285】第 2 の態様のように、部分分離を行いながら、スパイラルインダクタ 199 下の部分分離領域の大部分は酸化膜 218 と高抵抗領域 223 とにより構成することにより、スパイラルインダクタ 199 に付随する寄生容量を十分抑えることができる。

【0286】高抵抗領域 223 の形成方法としては、高抵抗領域 223 には不純物を導入しないように製造する等が考えられる。また、例えば  $1 \times 10^{11} / \text{cm}^2$  程度の高濃度のシリコン注入を行って酸化膜の下方領域をアモルファス化し、その後、熱処理でポリシリコン化して高抵抗領域 223 を形成することもできる。

【0287】<<実施の形態 18>>図 93 はこの発明の実施の形態 18 である SOI 構造の半導体装置の構造を示す平面図である。同図に示すように、DT-MOS 領域 225、226 間を完全分離領域 240 で完全分離している。なお、DT-MOS とは、ゲート電極とボディー領域 (チャネル形成領域) とを同一電位に設定する MOS トランジスタである。

【0288】DT-MOS 領域 225、226 はそれぞれ p 型のウェル領域 231 (部分分離領域 230) 内に n' の NMOS 活性領域 232 と p' のボディー領域 234 とを設け、コンタクト 238 を介して配線層 239 に接続するとともに、NMOS 活性領域 232 の中心部に設けられるゲート電極 233 はコンタクト 235 (ゲートコンタクト) を介して配線層 237 に電氣的に接続され、ボディー領域 234 はコンタクト 236 (ボディーコンタクト) を介して配線層 237 に電氣的に接続される。

【0289】配線層 237 によってゲート電極 233 とボディー領域 234 とを同一電位に設定して、オン状態の閾値電圧を低下させて動作速度の向上を図っている。

【0290】このように、実施の形態 18 は、ボディー領域 234 及びウェル領域 231 を介してチャネル形成領域の電位を固定することができるとともに、完全分離領域 240 によって DT-MOS 領域 225、226 間を完全分離することができるため、性能の良い DT-MOS を比較的容易に形成することができる。なお、ボディーコンタクトとゲートコンタクトはシェアードコンタクトによって同時に接続してもよい。

【0291】<<実施の形態 19>>図 94 はこの発明の実施の形態 19 である SOI 構造の半導体装置の構造を示す断面図である。

【0292】同図に示すように、ゲート幅 W が比較的狭いトランジスタを形成するトランジスタ形成領域 227 には、ドレイン領域 245、ソース領域 246、チャネル形成領域 247、ゲート酸化膜 248 及びゲート電極 249 からなる MOS トランジスタを構成し、各 MOS トランジスタ間を部分酸化膜 31 及びウェル領域 11

10

20

30

40

50

(12) によって部分分離し、周囲とは完全酸化膜 32 によって完全分離している。

【0293】MOSトランジスタを含むSOI層3上の全面に層間絶縁膜4が形成され、層間絶縁膜4上に選択的に配線層242が形成される。配線層242はコンタクトホール241を介してドレイン領域245及びソース領域246に電氣的に接続される。

【0294】一方、ゲート幅Wが比較的広いトランジスタを形成するトランジスタ形成領域228には、ドレイン領域255、ソース領域256、チャネル形成領域257、ゲート酸化膜258及びゲート電極259からなるMOSトランジスタを構成し、各MOSトランジスタ間を部分酸化膜31及びウェル領域11(12)によって部分分離し、周囲とは完全酸化膜32によって完全分離している。

【0295】MOSトランジスタを含むSOI層3上の全面に層間絶縁膜4が形成され、層間絶縁膜4上に選択的に配線層252が形成される。配線層252はコンタクトホール251を介してドレイン領域255及びソース領域256に電氣的に接続される。

【0296】ゲート幅Wが狭いトランジスタ形成領域227に形成されるドレイン領域245及びソース領域246の形成深さを、ビルドイン状態時にドレイン/ソースからの空乏層243の少なくとも一部が埋め込み酸化膜2に到達する深さに設定して、接合容量の低減化を図っている。なお、ドレイン領域245及びソース領域246の形成深さを埋め込み酸化膜2に到達する深さに設定しても良い。

【0297】一方、ゲート幅Wが広いトランジスタ形成領域228に形成されるドレイン領域255及びソース領域256の形成深さを、ビルドイン状態時のドレイン/ソースからの空乏層253が埋め込み酸化膜2に到達しないように設定して、確実にチャネル形成領域257の電位固定が行えるようにしている。

【0298】なお、トランジスタ形成領域227及び228に形成される2種類のドレイン/ソース領域は、ソース/ドレイン形成時の不純物の注入エネルギーを変化させたり、NUDC(Non Uniformly Doped Channel)の注入量を変化させることで実現できる。

【0299】また、ビルドイン状態時に空乏層が埋め込み酸化膜2に到達しない程度の深さのソース/ドレイン領域を仮に形成した後、トランジスタ形成領域227側のソース/ドレイン領域に対してのみ形成深さが深くなるように、再度不純物の追加注入を行うことによって実現できる。

【0300】<<実施の形態20>>

<第1の態様>図95はこの発明の実施の形態20であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。同図に示すように、シリコン基板1及び埋め込み酸化膜2上のSOI層3にn'領域261、26

2を選択的に設け、n'領域261、262間にp'領域263及び酸化膜264からなる部分分離領域を設けている。そして、n'領域261、262、p'領域263及び酸化膜264からなるフィールドトランジスタを構成している。なお、フィールドトランジスタは、MOSトランジスタのゲート部(ゲート酸化膜、ゲート電極)に置き換えて酸化膜を設けた構造を呈している。

【0301】このように第1の態様は、p'領域263及び酸化膜264からなる部分分離領域構造を用いてフィールドトランジスタを構成している。フィールドトランジスタは保護回路用素子等に応用できる。

【0302】実施の形態20のフィールドトランジスタのゲート部の構成は部分分離領域と基本的に同じ構成であるため、部分分離領域と同時にゲート部を構成することにより、比較的容易にフィールドトランジスタを形成することができる。

【0303】図96は回路の入力部におけるフィールドトランジスタ利用例を示す回路図である。同図に示すように、フィールドトランジスタQ31の一方電極が外部入力端子P1に接続され他方電極が接地される。また、電源、接地間にフィールドトランジスタQ33を設けている。なお、他の構成は図66で示し回路構成と同様であるため、説明は省略する。

【0304】このように、フィールドトランジスタQ31によって外部入力端子P1、接地レベル間の保護、フィールドトランジスタQ33によって電源、接地レベル間の寄生ダイオードバスを設けている。

【0305】図97は回路の出力部におけるフィールドトランジスタ利用例を示す回路図である。同図に示すように、フィールドトランジスタQ32の一方電極が外部出力端子P4に接続され他方電極が接地される。また、電源、接地間にフィールドトランジスタQ34を設けている。なお、他の構成は図67で示し回路構成と同様であるため、説明は省略する。

【0306】このように、フィールドトランジスタQ32によって外部出力端子P4、接地レベル間の保護、フィールドトランジスタQ34によって電源、接地レベル間の寄生ダイオードバスを設けている。

【0307】なお、フィールドトランジスタは図95に示すようにNMOS類似構造が放電能力が高いため望ましいが、PMOS類似構造を用いても良い。この場合、フィールドトランジスタQ31、Q32の代わりに、電源と外部入力端子P1との間にフィールドトランジスタを設ける必要がある。

【0308】<第2の態様>図98はこの発明の実施の形態20であるSOI構造の半導体装置の第2の態様の構造を示す断面図である。同図に示すように、n'領域261、262の周囲を完全酸化膜265によって完全分離している。他の構成は図95で示した第1の態様と同様であるため、説明を省略する。



【0309】第2の態様は、フィールドトランジスタ全体を完全酸化膜265で囲っているため、雑音遮断などにおいて大きな効果が期待できる。また、フィールドトランジスタを保護回路として用いる際、他の構成素子への電流の寄生パスを確実に防ぐことができる。

【0310】<第3の態様>図99はこの発明の実施の形態20であるSOI構造の半導体装置の第3の態様の構成を示す平面図である。複数のn'領域261、262を交互に配置し、各n'領域261、262間を酸化膜264及びp'領域263によって部分分離し、周囲全体を完全酸化膜265によって完全分離している。

【0311】複数のn'領域261は共通に接続端子P11に接続され、複数のn'領域262は共通に接続端子P12に接続される。このように、楕円構造で配置された複数のn'領域261及び262を電気的に並列に接続することにより、放電能力を高めることができる。

【0312】<その他>なお、フィールドトランジスタのソース/ドレイン領域(n'領域261、262)を埋め込み酸化膜2に到達させることなく、空乏層が埋め込み酸化膜2に到達するレベルの深さに形成しても良い。

【0313】<<補足>>ソース/ドレイン領域を埋め込み酸化膜に到達させるために、通常的手法として不純物の注入深さを十分深くしてソース/ドレイン領域を形成したり、不純物ピークが浅い不純物注入の後に不純物ピークが深い不純物注入を行うようにしても良い。

【0314】しかしながら、上記した方法では、図85に示す実施の形態14の第1の態様のようにソース/ドレイン領域の浅い部分に不純物濃度のピークをもたせ、かつSOI層3を貫通する深さで不純物分布をもたせることができない。

【0315】そこで、注入角度を0度近傍に注入エネルギーを十分小さくして不純物のイオン注入を行う等の方法を適用することにより、不純物ピークは図100のL1で示すようにSOI層3の比較的浅い位置に設定するとともに、チャネリング現象によるテールプロファイルによって、図100のL2で示す不純物分布のように、不純物がSOI層3を貫通して埋め込み酸化膜2に到達するように分布させることができる。

【0316】

【発明の効果】以上説明したように、この発明における請求項1記載の半導体装置において、素子分離領域のうち少なくとも1つの領域は、上層部に設けられた部分絶縁領域と下層部に存在するSOI層の一部である半導体領域とから構成される部分分離領域を含み、半導体領域は複数の素子形成領域の少なくとも1つの領域及びボディー領域と接して形成されるため、部分絶縁領域により複数の素子形成領域を絶縁分離するとともに、上記少なくとも1つの素子形成領域を上記半導体領域及び上記ボディー領域によって電位固定することができる。

【0317】その結果、上記少なくとも1つの素子形成領域の基板浮遊効果を低減したSOI構造の半導体装置を得ることができる。

【0318】請求項2記載の半導体装置において、複数の第1の素子形成領域はそれぞれ部分分離領域によって素子分離され、複数の第2の素子形成領域はそれぞれ部分分離領域によって素子分離され、複数の第1の素子形成領域と複数の第2の素子形成領域とはSOI層を貫通した完全分離領域によって素子分離されるため、異なる素子間の素子形成領域を完全に絶縁分離するとともに、同一の素子内の素子形成領域の基板浮遊効果を低減することができる。

【0319】請求項3記載の半導体装置において、第1の回路用の複数の素子形成領域はSOI層を貫通した完全分離領域によって素子分離され、第2の回路用の複数の素子形成領域は部分分離領域によって素子分離される。

【0320】したがって、基板浮遊効果の影響を重視する回路は第2の回路とし、基板浮遊効果を重視しない回路は第1の回路として扱うことにより、形成する回路の性質に基づいた適切な絶縁分離を行うことができる。

【0321】請求項4記載の半導体装置において、第1の部分SOI層の膜厚は第2の部分SOI層の膜厚よりも薄く形成され、複数の第1の回路用の素子形成領域は第1の部分SOI層に形成され、複数の第2の素子形成領域は第2の回路用の部分SOI層に形成される。

【0322】したがって、第1及び第2の部分SOI層の膜厚の違いを利用して、第1の部分SOI層を貫通した完全分離用トレンチと第2の部分SOI層を貫通しない部分分離用トレンチを、第1及び第2の部分SOI層に対して同時に形成することができるため、製造工程の簡略化を図ることができる。

【0323】請求項5記載の半導体装置において、所定の回路用素子形成領域と他の回路用素子形成領域とはSOI層を貫通した完全分離領域によって素子分離されるため、上記他の回路は所定の回路からの影響を完全に遮断することができる。

【0324】請求項6記載の半導体装置において、部分分離領域によって素子分離された素子形成領域に形成される素子の活性領域のSOI層表面から形成深さは、部分分離領域の形成深さより浅く形成されるため、部分分離領域による分離特性の劣化を最小限に抑えることができる。

【0325】請求項7記載の半導体装置において、半導体領域はポリシリコン領域を含むため、半導体領域を精度良く形成することができる。

【0326】請求項8記載の半導体装置において、部分絶縁領域は低誘電率膜を含むため、部分絶縁領域の容量値に基づく不具合を最小限に抑えることができる。

【0327】請求項9記載の半導体装置において、部分

絶縁領域は少なくとも側面に設けられた部分絶縁膜とそれ以外の領域に設けられた低誘電率膜とを含むため、部分絶縁領域の側面方向に形成される素子の影響を部分絶縁膜によって効果的に抑制しながら、部分絶縁領域の容量値に基づく不具合を抑えることができる。

【0328】請求項10記載の半導体装置における複数の素子分離領域の少なくとも1つの領域は所定の形成幅で前記半導体基板の表面に対しほぼ垂直に延びて形成されるため、集積度を損ねることなく素子分離が行える。

【0329】この発明に係る請求項11記載の半導体装置のボディー領域は、複数の素子形成領域のうち、少なくとも1つの素子形成領域の表面あるいは裏面に接するように形成されるため、上記少なくとも1つの素子形成領域を上記ボディー領域によって電位固定することができる。

【0330】請求項12記載の半導体装置において、ボディー領域は、SOI層下の埋め込み絶縁層の上層部に形成されるため、素子分離領域による素子分離特性に与える悪影響を最小限に抑えることができる。

【0331】請求項13記載の半導体装置において、ボディー領域は、埋め込み絶縁層を貫通して形成されるため、半導体基板側から上記少なくとも1つの素子形成領域を上記ボディー領域を介して電位固定することができる。

【0332】請求項14記載の半導体装置において、ボディー領域は、少なくとも1つの素子形成領域の上方に設けられ、少なくとも1つの素子形成領域の表面に接するため、比較的簡単に形成することができる。

【0333】請求項15記載の半導体装置は、素子分離領域のうち少なくとも一部の領域は、SOI層を貫通した完全絶縁領域と部分分離領域とが連続して形成される複合分離領域を含んでおり、複数の素子形成領域のうち複合分離領域によって分離される素子形成領域間は、複合分離領域の完全絶縁領域によって完全に絶縁分離することができる。

【0334】請求項16記載の半導体装置の部分分離領域の上面は凹凸なく均一に形成されるため、MOSトランジスタのゲート電極等の所定の素子の構成要素を形成する際のパターンニングが容易になるという効果を奏する。

【0335】請求項17記載の半導体装置の複合分離領域の半導体領域の膜厚は、SOI層の膜厚の1/2以下に設定されるため、複合分離領域によって十分高度な分離特性を得ることができる。

【0336】請求項18記載の半導体装置の複合分離領域において完全絶縁領域の形成幅は複合分離領域全体の形成幅の1/2以下に設定されるため、複合分離領域を構成する部分分離領域の半導体領域の面積を十分確保でき、この半導体領域に接した素子形成領域の電位固定を安定性良く行うことができる。

【0337】請求項19記載の半導体装置の完全分離領域は少なくとも入出力NMOSトランジスタ形成領域と入出力PMOSトランジスタ形成領域との境界近傍領域に形成されるため、ラッチアップ現象を効果的に抑制することができる。

【0338】請求項20記載の半導体装置の完全分離領域は、入出力用トランジスタ形成領域と内部回路形成領域との間の境界近傍領域にさらに形成されるため、ノイズ影響を受けやすい入出力用トランジスタ形成領域の影響を内部回路形成領域から完全に遮断することができる。

【0339】請求項21記載の半導体装置の完全絶縁領域はNMOSトランジスタ形成領域と入出力PMOSトランジスタ形成領域との境界近傍のPMOSトランジスタ形成領域内である完全分離領域形成箇所のみ形成され、部分分離領域はNMOSトランジスタ形成領域の周辺領域、及び完全分離領域形成箇所を除くNMOSトランジスタ形成領域の周辺領域に形成されるため、NMOSトランジスタの基板電位の固定を不足なく行い、NMOSトランジスタ形成領域、PMOSトランジスタ形成領域間の境界を面積効率よく完全分離することができる。

【0340】請求項22記載の半導体装置の部分分離領域はMOSトランジスタ領域のゲート電極の少なくとも一端近傍の部分分離領域形成箇所形成箇所形成され、完全絶縁領域は、部分分離領域形成箇所を除くMOSトランジスタ形成領域の周辺領域に形成されるため、MOSトランジスタのゲート電極下方のチャネル形成領域の電位固定を効果的に行いながら、完全分離領域によってMOSトランジスタ形成領域を周囲からほぼ完全に分離することができる。

【0341】請求項23記載の半導体装置のボディー領域は、周辺部分分離領域の周囲を囲って形成される第2の導電型の周辺ボディー領域を含むため、周辺ボディー領域を電位固定することによりトランジスタ形成領域を周囲から効果的に分離することができる。

【0342】請求項24記載の半導体装置のソース隣接ボディー領域はMOSトランジスタ形成領域のソース領域に隣接して形成され、電位設定領域によってソース領域と共通接続されるため、ソース領域に隣接してソース隣接ボディー領域を形成できる分、集積度の向上を図ることができる。

【0343】請求項25記載の半導体装置の部分分離領域の半導体領域を構成する第1及び第2の部分半導体領域の不純物濃度を異なって設定することにより、部分分離領域による分離特性、基板浮遊効果の低減化等に適した半導体領域を得ることができる。

【0344】請求項26記載の半導体装置の比較的不純物濃度が高い第1の部分半導体領域は複数の素子形成領域のうち分離対象の素子形成領域に隣接する周辺領域を

含むため、部分分離領域による分離によるパンチスルー耐性の向上を図ることができる。

【0345】請求項27記載の半導体装置の比較的不純物濃度が高い第1の部分半導体領域はMOSトランジスタ形成領域のゲート電極近傍領域を含み、比較的不純物濃度が低い第2の部分半導体領域はMOSトランジスタ形成領域のドレイン／ソース近傍領域を含むため、PN接合容量の低下とパンチスルー耐性の向上を図ることができる。

【0346】請求項28記載の半導体装置の部分分離領域における半導体領域の不純物濃度のピークが、MOSトランジスタ形成領域のドレイン／ソース領域の不純物濃度のピークより、SOI層の表面からの深さが深くなるように設定されるため、ドレイン／ソース領域と半導体領域との間のPN接合耐圧を高めることができる。

【0347】請求項29記載の半導体装置のMOSトランジスタ形成領域のチャネル形成領域の不純物濃度のピークが、部分分離領域における半導体領域の不純物濃度のピークより、SOI層の表面からの深さが深くなるように設定されるため、MOSトランジスタの閾値電圧が所望の値より大きくならないようにできる。

【0348】請求項30記載の半導体装置において、完全絶縁領域に隣接して形成される第1の部分半導体領域の不純物濃度をそれ以外の半導体領域である第2の部分半導体領域の不純物濃度よりも高く設定したため、SOI層にかかるストレス等により発生する不具合を抑制することができる。

【0349】請求項31記載の半導体装置は、部分分離領域の表面における角部の曲率半径より底面における角部の曲率半径を大きくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

【0350】請求項32記載の半導体装置は、複合分離領域において、部分絶縁領域の底面における角部より絶縁分離領域と部分絶縁領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

【0351】請求項33記載の半導体装置において、完全分離領域はインダクタンス形成領域の下方に形成されるため、インダクタンス成分に付随する寄生容量の低減化を図ることができる。

【0352】請求項34記載の半導体装置のボディー領域はMOSトランジスタ形成領域に形成されるMOSトランジスタのゲート電極に電氣的に接続されるゲート接続ボディー領域を含み、部分分離領域はMOSトランジスタ形成領域の周囲を囲って形成されるため、ゲート電極とゲート接続ボディー領域とを同一電位に設定するDT-MOSトランジスタの性能向上を図ることができる。

【0353】請求項35記載の半導体装置の素子の活性

領域の形成深さはビルトイン状態時に素子の活性領域から伸びる空乏層が埋め込み絶縁層に到達しないレベルに設定されるため、部分分離領域の半導体領域と活性領域との間の接合容量の低減化を図ることができる。

【0354】請求項36記載の半導体装置のフィールドトランジスタは、第1及び第2の活性領域間に形成され、上層部に設けられたフィールドトランジスタ用部分絶縁領域と下層部に存在するSOI層の一部であるフィールドトランジスタ用半導体領域とから構成されるゲート部により構成される。

【0355】ゲート部の構成は部分分離領域と基本的に同じ構成であるため、部分分離領域と同時にゲート部を構成することにより、比較的容易にフィールドトランジスタを形成することができる。

【0356】請求項37記載の半導体装置の周辺素子分離領域は、上層部に設けられた部分絶縁領域と下層部に存在するSOI層の一部である半導体領域とから構成される部分分離領域を含み、上記部分分離領域の半導体領域は複数の素子形成領域の少なくとも1つの領域と接して形成されるとともにフローティング状態に設定されるため、部分絶縁領域により素子形成領域を周囲から分離するとともに、上記少なくとも1つの領域内で衝突電離により発生するキャリアや宇宙線によって発生する電荷等を上記半導体領域に分散させることができるため、電位上昇を抑え、ソフトウェア耐性の向上させることができる。

【0357】この発明に係る請求項38記載の半導体装置の製造方法によって形成される半導体装置において、複数の素子形成領域のうち、少なくとも1つのトレンチ内の絶縁膜とその下方のSOI層とによって素子分離される素子形成領域に対し、基板浮遊効果を抑えた素子分離がなされる。

【0358】請求項39記載の半導体装置の製造方法によって形成される複数の素子形成領域は、第1のトレンチ内の絶縁膜とその下方のSOI層とによって基板浮遊効果を抑えた素子分離がなされるとともに、SOI層を貫通した第2のトレンチ内の絶縁膜によって完全な素子分離がなされる。

【0359】請求項40記載の半導体装置の製造方法は、第1及び第2のトレンチ間の形成幅の違いを利用して、側壁体をマスクとして第2のトレンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができる。

【0360】請求項41記載の半導体装置の製造方法は、複数のトレンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高濃度領域を介して高濃度領域に接する素子形成領域を安定性良く電位固定することができる。

【0361】この発明に係る請求項42記載の半導体装

置の製造方法は、シリコン層とエピタキシャル成長層とによりSOI層を構成するため、結晶性の良いSOI層を形成することができる。

【0362】この発明に係る請求項43記載の半導体装置の製造方法は、第1のトレンチ内の絶縁膜と第1のトレンチ内に残存したポリシリコン層とにより部分分離領域を形成している。したがって、素子形成領域と電気的に接続するポリシリコン層の膜厚を制御性良く形成することができる。

【0363】この発明に係る請求項44記載の半導体装置の製造方法は、埋め込み絶縁層に形成された穴部をポリシリコン層で埋め、少なくとも1つの素子形成領域と電気的接続関係を有するボディー領域を形成している。

【0364】したがって、ボディー領域は、SOI層下の埋め込み絶縁層に形成されるため、素子分離領域による絶縁分離に与える悪影響を最小限に抑えることができる。

【0365】請求項45記載の半導体装置の製造方法は、少なくとも1つの素子形成領域の端部裏面からエピタキシャル成長させたエピタキシャル成長層とポリシリコン層とからなるボディー領域を形成している。

【0366】したがって、エピタキシャル成長層を介している分、上記少なくとも1つの素子形成領域に形成される素子とポリシリコン層との距離を十分とることができる、良好な電気的特性を得ることができる。

【0367】請求項46記載の半導体装置の製造方法のステップ(d)は、SOI層の上層部に濃度分布のピークが存在し、かつチャネリング現象が生じるように所定の導電型の不純物を導入して所定の素子の活性領域を形成するステップを含むため、SOI層の上層部に不純物濃度のピークを存在させながら、チャネリング現象により埋め込み絶縁膜の表面にかけて不純物が分布する所定の素子の活性領域を得ることができる。

【0368】この発明における請求項47記載の半導体装置の製造方法は、ステップ(b)、(c)を行うことにより、複合分離領域用の複合トレンチと部分分離領域用の非貫通トレンチとを同時に形成することができる。

【0369】請求項48記載の半導体装置の設計方法はステップ(c)で、過去データにおけるウェル領域の外周近傍領域に、SOI層を貫通する完全絶縁領域からなる完全分離領域を設定するため、過去データを有効に活用して第1及び第2のMOSトランジスタの形成領域間を効果的に分離する完全分離領域を設定することができる。

【図面の簡単な説明】

【図1】 この発明の実施の形態1であるSOI構造の半導体装置の第1の態様を示す断面図である。

【図2】 実施の形態1の第1の態様を示す断面図である。

【図3】 実施の形態1の第1の態様の平面図である。

【図4】 実施の形態1の第2の態様の構造を示す断面図である。

【図5】 実施の形態2の第1の態様を示す断面図である。

【図6】 実施の形態2の第2の態様を示す断面図である。

【図7】 実施の形態2の第3の態様を示す断面図である。

【図8】 実施の形態2における素子分離工程（その1）を示す断面図である。

【図9】 実施の形態2における素子分離工程（その1）を示す断面図である。

【図10】 実施の形態2における素子分離工程（その1）を示す断面図である。

【図11】 実施の形態2における素子分離工程（その1）を示す断面図である。

【図12】 高濃度ウェル領域形成工程を示す断面図である。

【図13】 高濃度ウェル領域形成工程を示す断面図である。

【図14】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図15】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図16】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図17】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図18】 実施の形態2における素子分離工程（その2）を示す断面図である。

【図19】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図20】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図21】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図22】 実施の形態2における素子分離工程（その3）を示す断面図である。

【図23】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図24】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図25】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図26】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図27】 実施の形態2における素子分離工程（その4）を示す断面図である。

【図28】 実施の形態3の第1の態様を示す断面図である。

【図 29】 実施の形態 3 の第 2 の態様を示す断面図である。

【図 30】 実施の形態 4 の S O I 構造を示す断面図である。

【図 31】 実施の形態 4 の S O I 構造を示す断面図である。

【図 32】 実施の形態 4 の他の S O I 構造を示す断面図である。

【図 33】 実施の形態 4 における素子分離工程を示す断面図である。

【図 34】 実施の形態 4 における素子分離工程を示す断面図である。

【図 35】 実施の形態 4 における素子分離工程を示す断面図である。

【図 36】 実施の形態 4 における素子分離工程を示す断面図である。

【図 37】 実施の形態 4 における素子分離工程を示す断面図である。

【図 38】 実施の形態 5 の第 1 の態様を示す断面図である。

【図 39】 実施の形態 5 の第 2 の態様を示す断面図である。

【図 40】 実施の形態 5 の第 3 の態様を示す断面図である。

【図 41】 実施の形態 6 の第 1 の態様を示す断面図である。

【図 42】 実施の形態 6 の第 2 の態様を示す断面図である。

【図 43】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。

【図 44】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。

【図 45】 実施の形態 6 における接続領域形成工程（その 1）を示す断面図である。

【図 46】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。

【図 47】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。

【図 48】 実施の形態 6 における接続領域形成工程（その 2）を示す断面図である。

【図 49】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。

【図 50】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。

【図 51】 実施の形態 6 における接続領域形成工程（その 3）を示す断面図である。

【図 52】 実施の形態 6 の第 3 の態様を示す断面図である。

【図 53】 実施の形態 6 の第 4 の態様を示す断面図である。

【図 54】 実施の形態 6 の第 5 の態様を示す断面図である。

【図 55】 実施の形態 2 の第 4 の態様を示す断面図である。

【図 56】 実施の形態 2 の第 5 の態様を示す断面図である。

【図 57】 実施の形態 2 の第 6 の態様を示す断面図である。

【図 58】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。

【図 59】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。

【図 60】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。

【図 61】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。

【図 62】 実施の形態 2 における素子分離工程（その 5）を示す断面図である。

【図 63】 実施の形態 7 による完全分離領域の設定方法を示す説明図である。

【図 64】 ラッチアップ現象説明用の説明図である。

【図 65】 実施の形態 8 の第 1 の態様を示す断面図である。

【図 66】 入力回路の一例を示す回路図である。

【図 67】 出力回路の一例を示す回路図である。

【図 68】 実施の形態 8 の第 2 の態様を示す断面図である。

【図 69】 実施の形態 8 の第 3 の態様を示す平面図である。

【図 70】 実施の形態 9 の第 1 の態様を示す平面図である。

【図 71】 図 70 の A-A 断面を示す断面図である。

【図 72】 実施の形態 9 の第 2 の態様を示す平面図である。

【図 73】 図 72 の B-B 断面を示す断面図である。

【図 74】 実施の形態 10 の第 1 の態様を示す平面図である。

【図 75】 実施の形態 10 の第 2 の態様を示す平面図である。

【図 76】 実施の形態 11 の第 1 の態様を示す平面図である。

【図 77】 実施の形態 11 の第 2 の態様を示す平面図である。

【図 78】 実施の形態 12 の第 1 の態様を示す平面図である。

【図 79】 図 78 の C-C 断面を示す断面図である。

【図 80】 実施の形態 12 の第 2 の態様を示す平面図である。

【図 81】 図 80 の C-C 断面を示す断面図である。

【図 82】 実施の形態 12 の第 3 の態様を示す平面図

である。

【図83】 実施の形態13を示す断面図である。

【図84】 実施の形態14の第1の態様の特徴を示す説明図である。

【図85】 実施の形態14の第2の態様の特徴を示す説明図である。

【図86】 実施の形態15の第1の態様を示す断面図である。

【図87】 実施の形態15の第2の態様を示す平面図である。

【図88】 実施の形態16の第1の態様を示す断面図である。

【図89】 実施の形態16の第2の態様を示す断面図である。

【図90】 実施の形態17の第1の態様を示す断面図である。

【図91】 実施の形態17の回路構成を示す回路図である。

【図92】 実施の形態17の第2の態様を示す断面図である。

【図93】 実施の形態18のDT-MOSを示す平面図である。

【図94】 実施の形態19を示す断面図である。

【図95】 実施の形態20の第1の態様を示す断面図である。

【図96】 実施の形態20のフィールドトランジスタの入力回路への利用例を示す回路図である。

【図97】 実施の形態20のフィールドトランジスタの出力回路への利用例を示す回路図である。

【図98】 実施の形態20の第2の態様を示す断面図

である。

【図99】 実施の形態20の第3の態様を示す平面図である。

【図100】 ドレイン/ソース領域の不純物分布を示す説明図である。

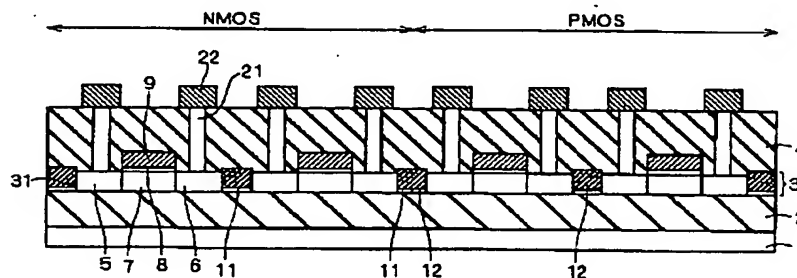
【図101】 図74のE-E断面を示す断面図である。

【図102】 従来のSOI構造の半導体装置を示す断面図である。

#### 10 【符号の説明】

1 シリコン基板、2 埋め込み酸化膜、3 SOI層、3A、3B 部分SOI層、4 層間絶縁膜、5、5s、5t、245、255 ドレイン領域、6、6s、6t、246、256 ソース領域、7 チャネル形成領域、8 ゲート酸化膜、9 ゲート電極、10、20、146、147、156、164 ボディー領域、11 ウェル領域(p型)、12、28 ウェル領域(n型)、31 部分酸化膜、32 完全酸化膜、33、210~212、218 酸化膜、44、44A、44B 部分トレンチ、48 完全トレンチ、61、62 ポリシリコン領域、75~77 低誘電率膜、78、79 シリコン酸化膜、80、86~89 接続領域、104 nウェル領域、105、110、114、115、120 完全分離領域、107、117、127、137、148 部分分離領域、149 フローティング部分分離領域、150 フローティングp'ボディー領域、182、224 ウェル領域、199 スパイルラインダクタ、200 高抵抗シリコン基板、223 高抵抗領域、Q21、Q22 アナログ回路用トランジスタ。

【図1】

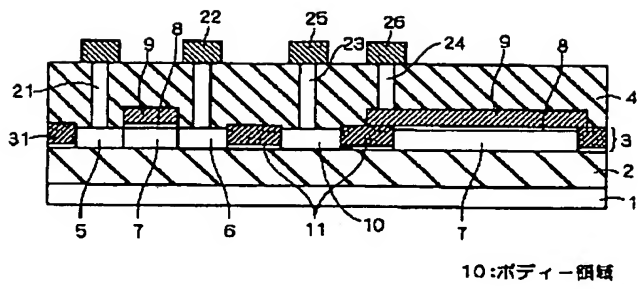


1:シリコン基板  
3:SOI層  
5:ドレイン領域  
7:チャネル形成領域  
9:ゲート電極  
12:ウェル領域(n型)

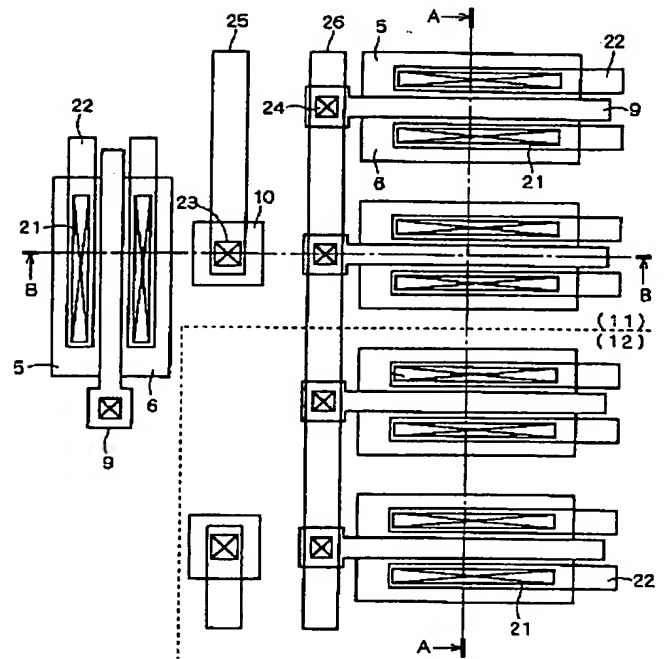
2:埋め込み酸化膜  
4:層間絶縁膜  
6:ソース領域  
8:ゲート酸化膜  
11:ウェル領域(p型)  
31:部分酸化膜



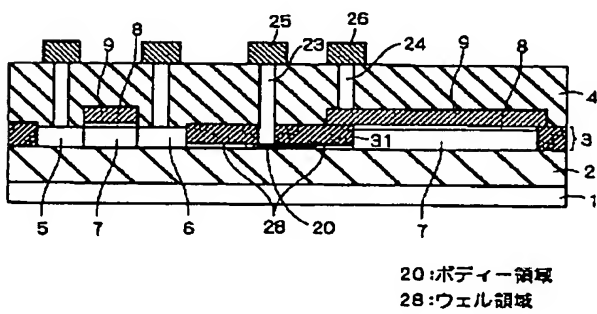
【図2】



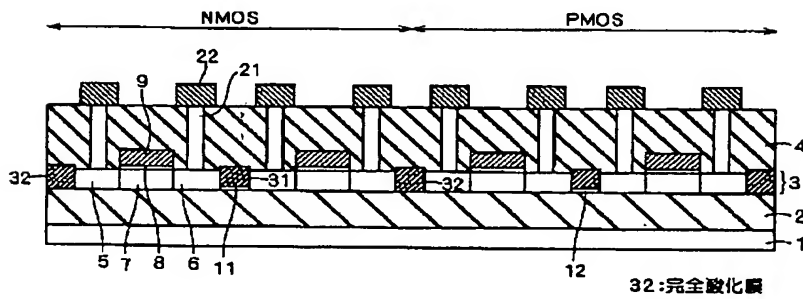
【図3】



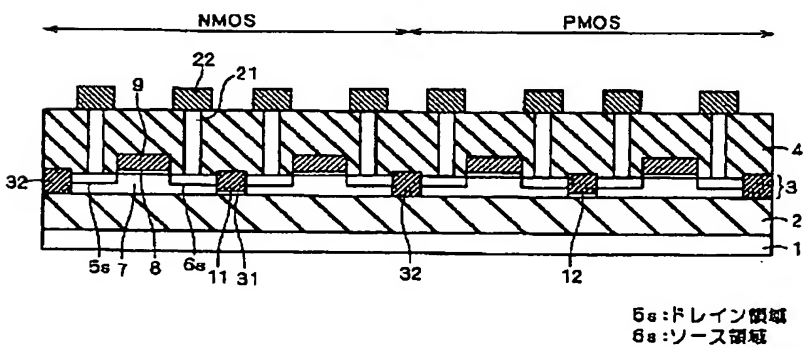
【図4】



【図5】

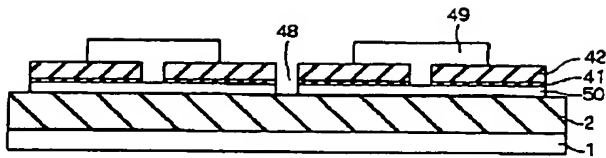


【図6】

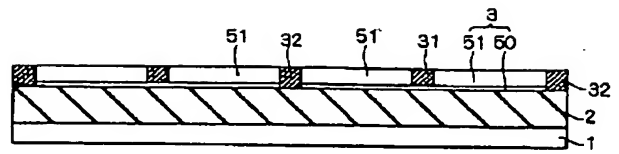




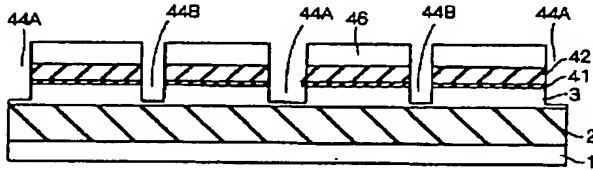
【図16】



【図18】

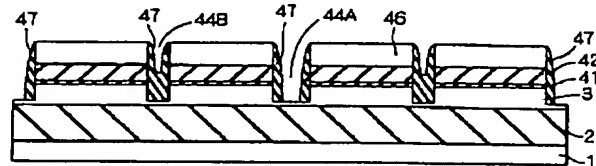


【図19】

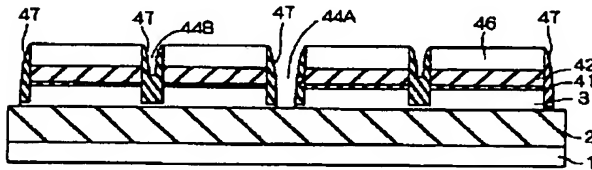


44A, 44B:部分トレレンチ

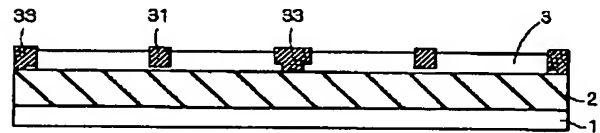
【図20】



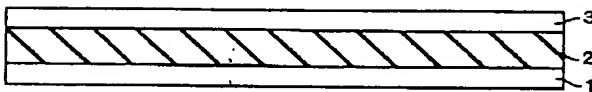
【図21】



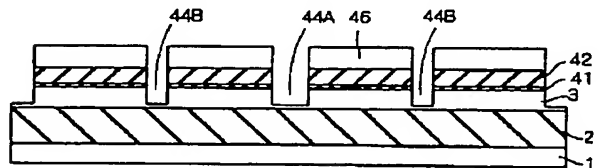
【図22】



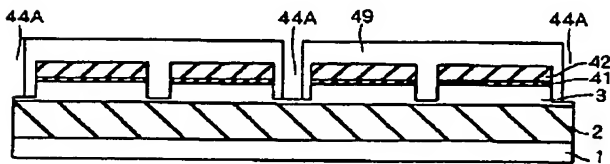
【図23】



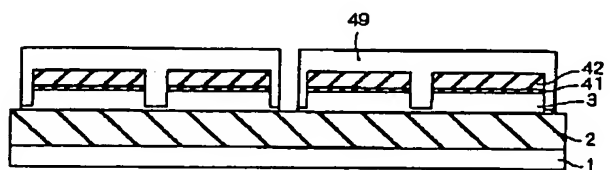
【図24】



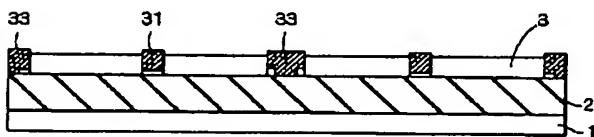
【図25】



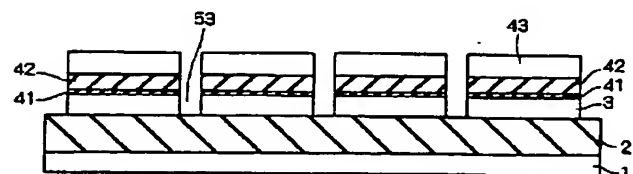
【図26】



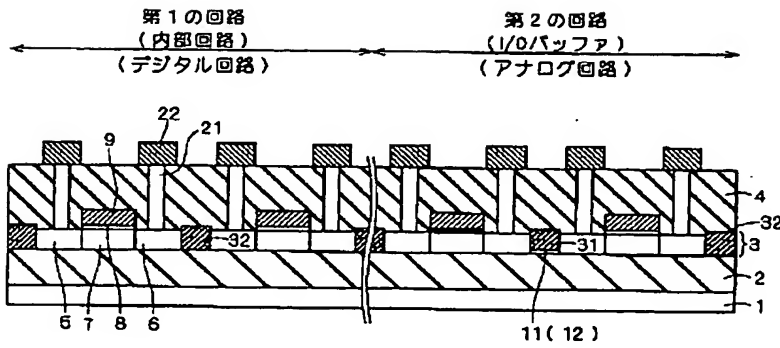
【図27】



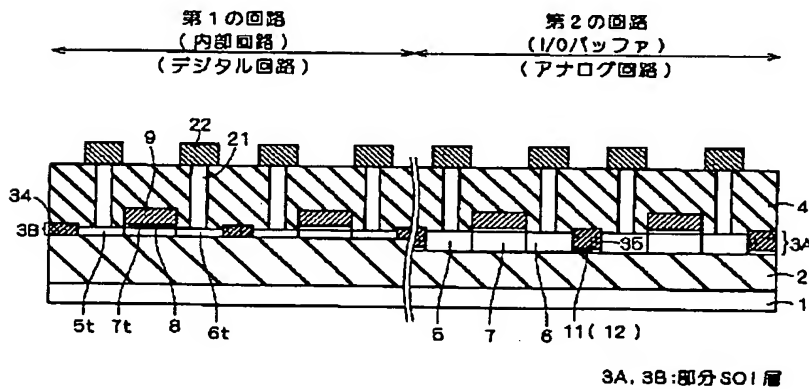
【図33】



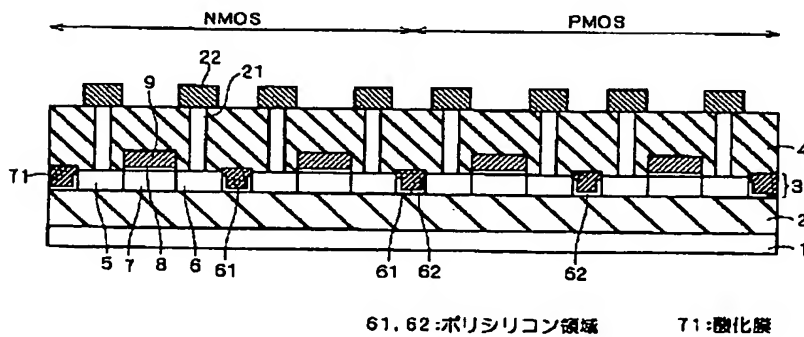
【図28】



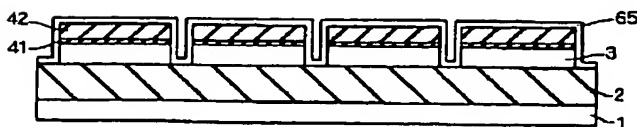
【図29】



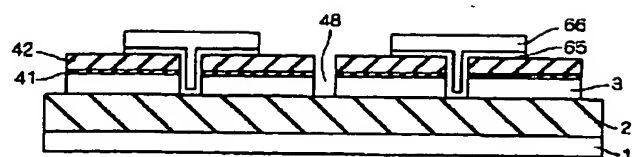
【図30】



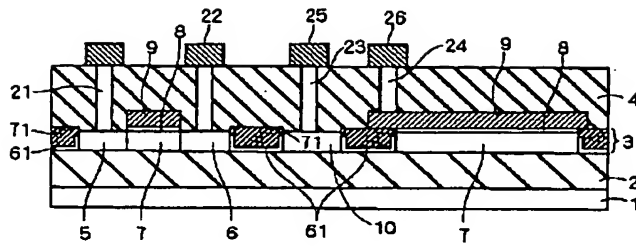
【図34】



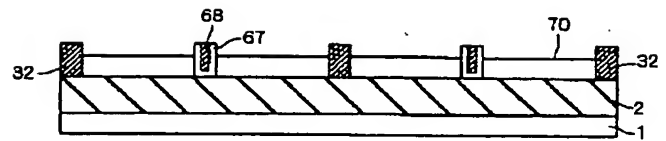
【図35】



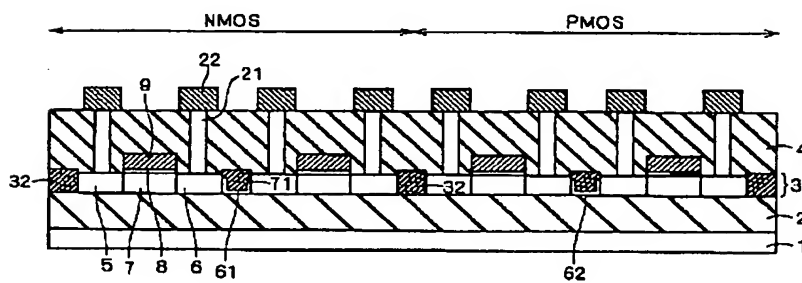
【図31】



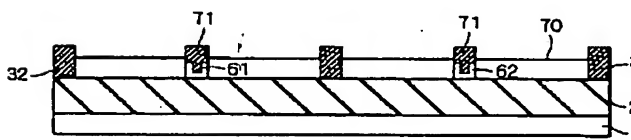
【図36】



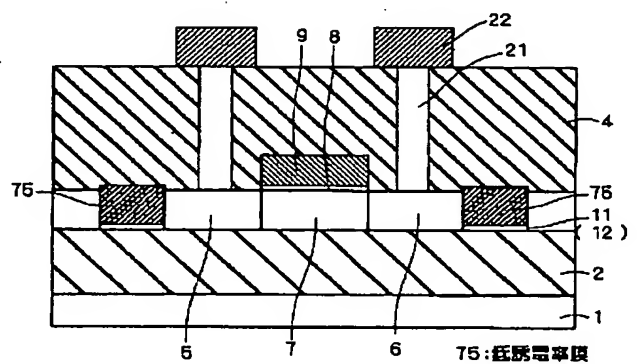
【図32】



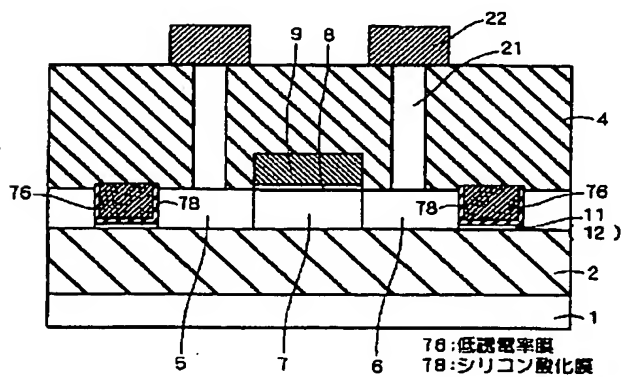
【図37】



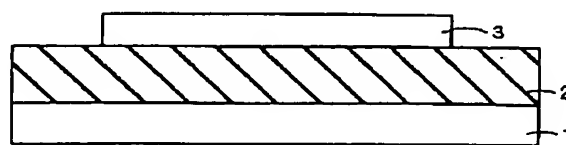
【図38】



【図39】

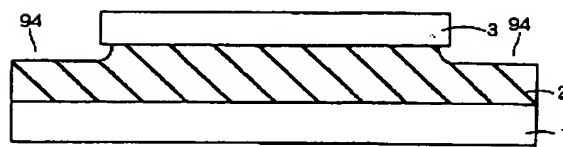


【図43】

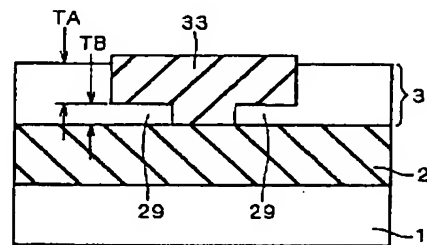




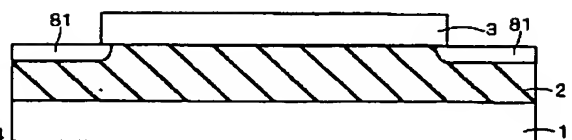
【图 4 4】



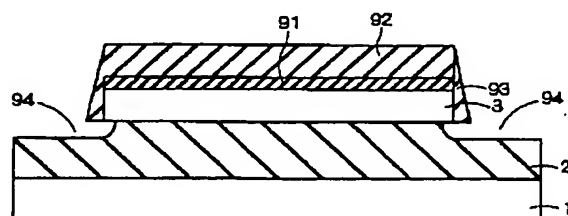
【图 4 1】



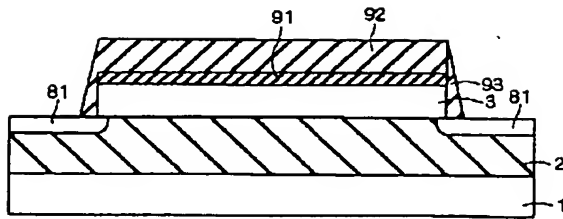
【图 45】



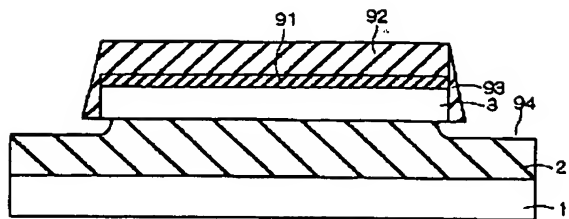
【图 47】



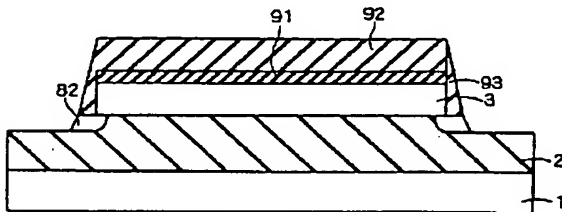
【図48】



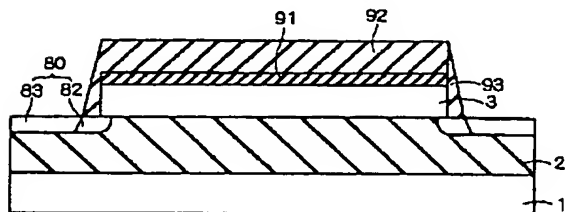
【図49】



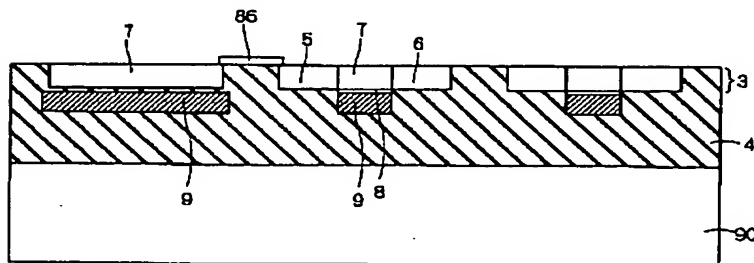
【図50】



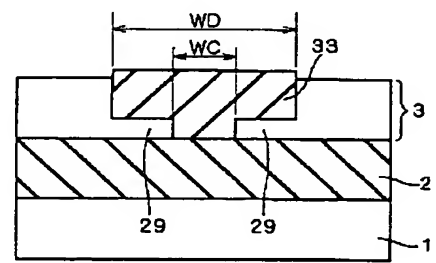
【図51】



【図52】

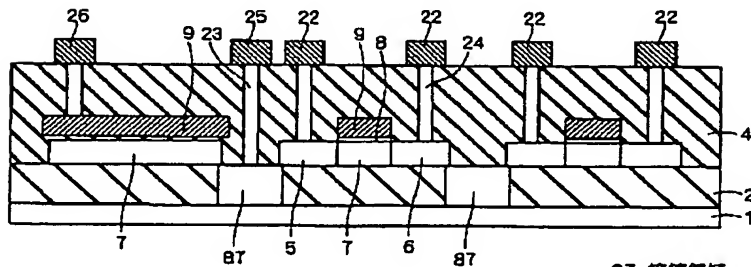


【図57】

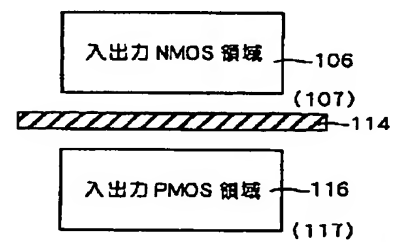


86:接続領域

【図53】



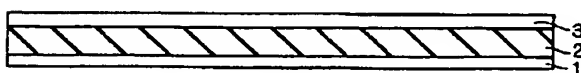
【図65】



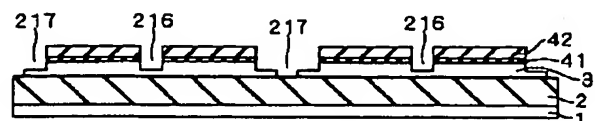
87:接続領域

106:入出力NMOS領域  
(107)  
114:完全分離領域  
116:入出力PMOS領域  
(117)

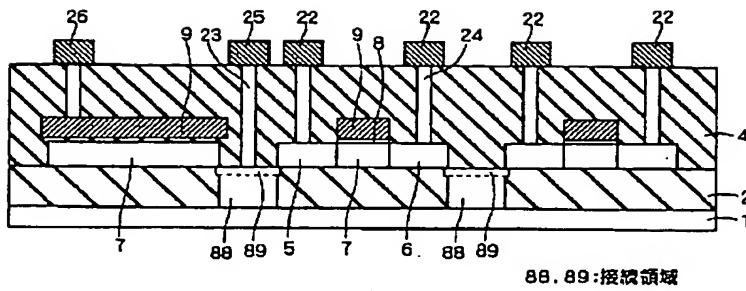
【図58】



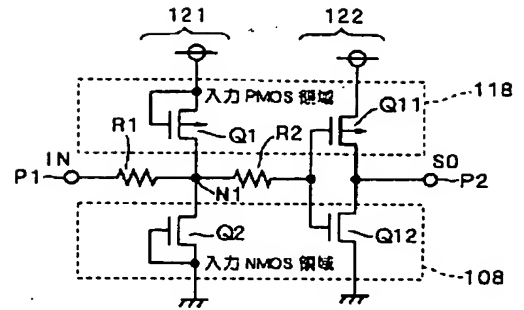
【図61】



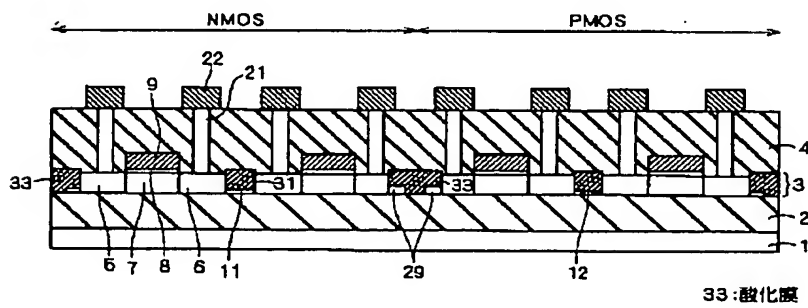
【図 54】



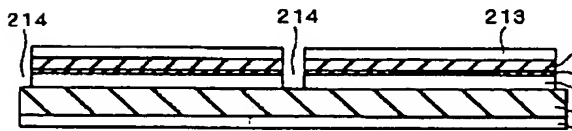
【図 66】



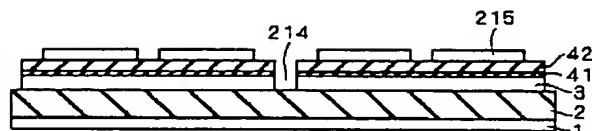
【図 55】



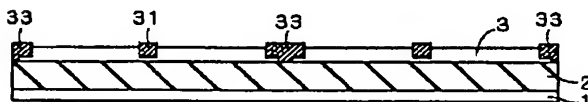
【図 59】



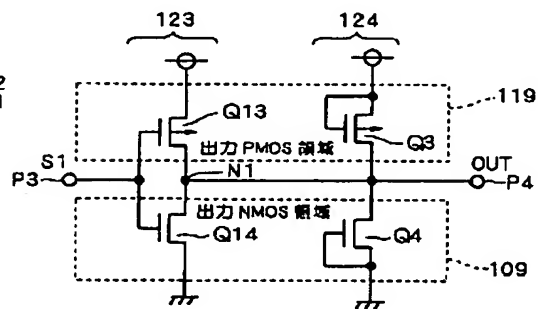
【図 60】



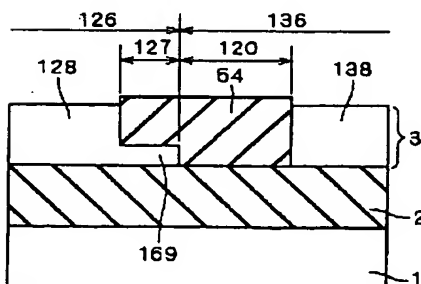
【図 62】



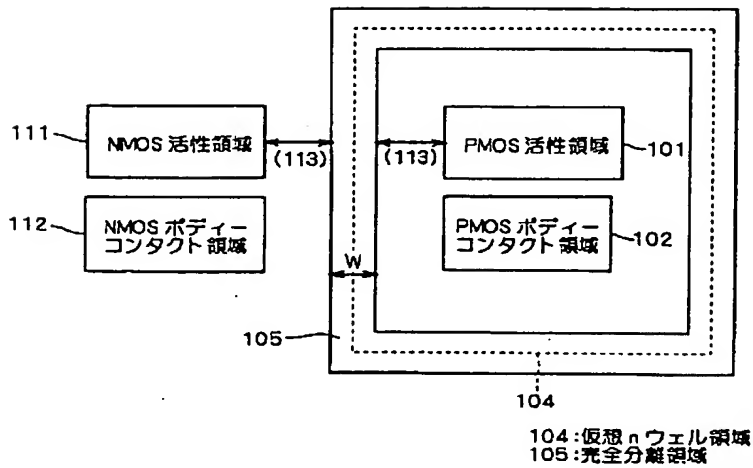
【図 67】



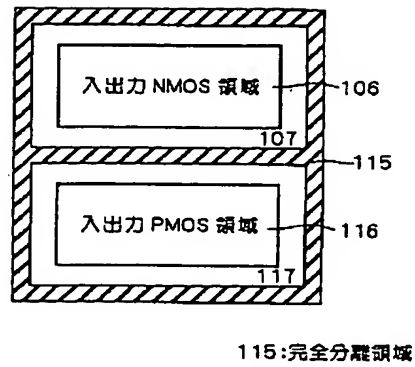
【図 71】



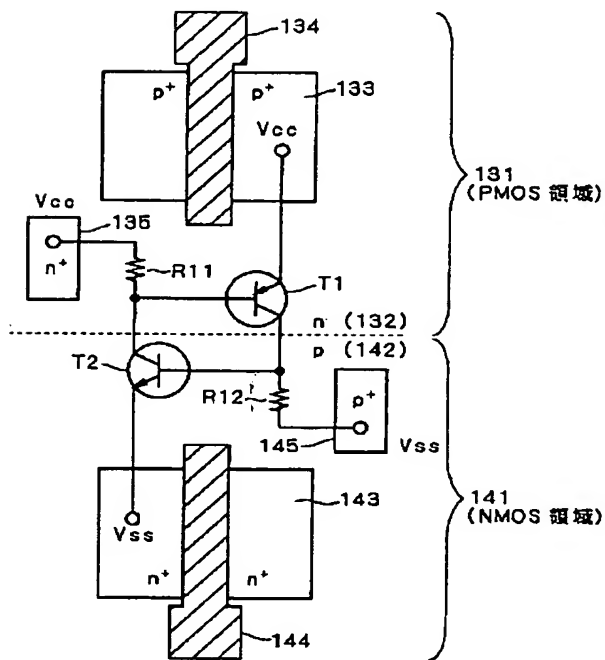
【図 63】



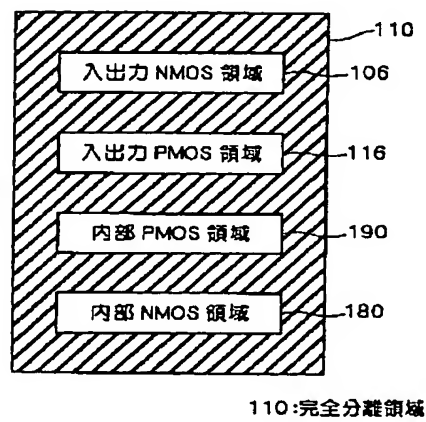
【図 68】



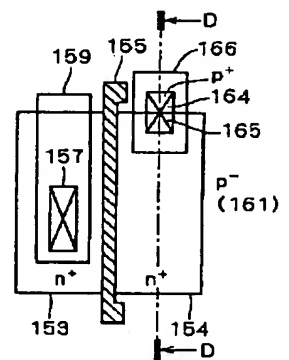
【図 64】



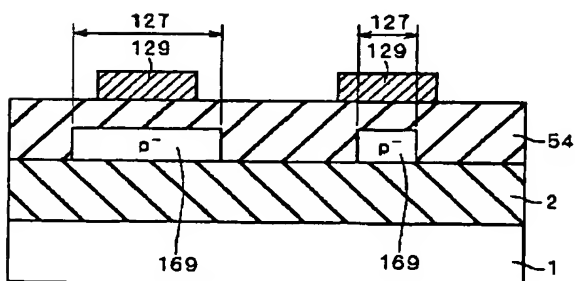
【図 69】



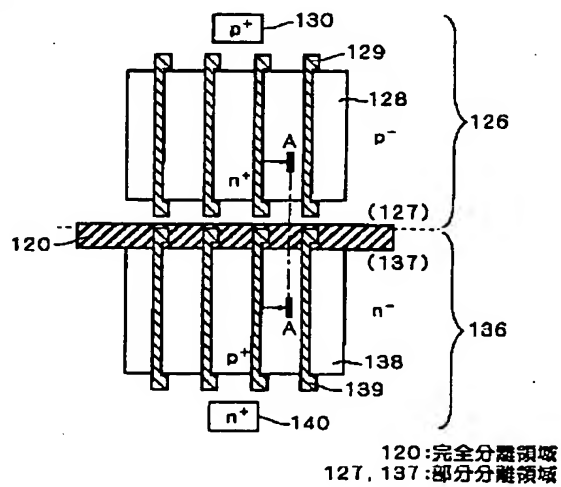
【図 80】



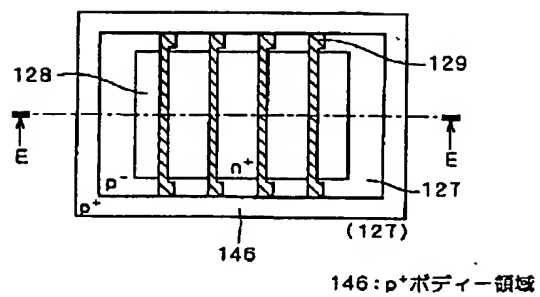
【図 73】



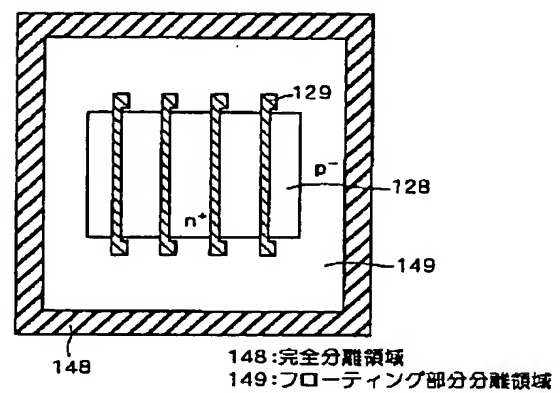
【図 70】



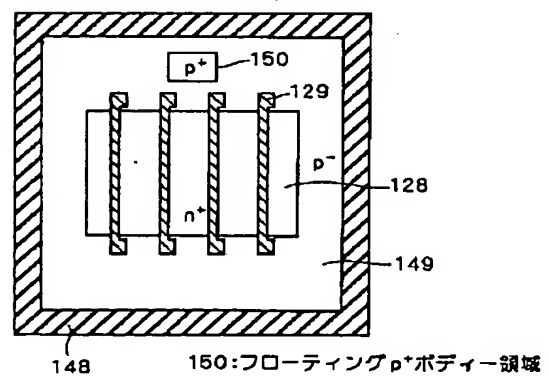
【図 7 4】



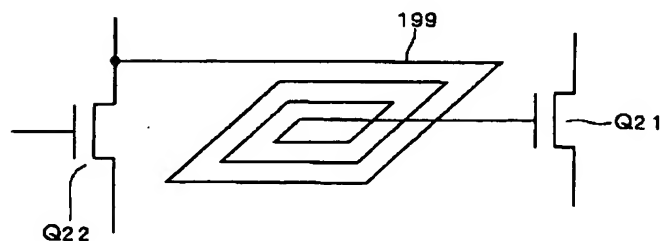
【图 7 6】



【☒ 7 7 】



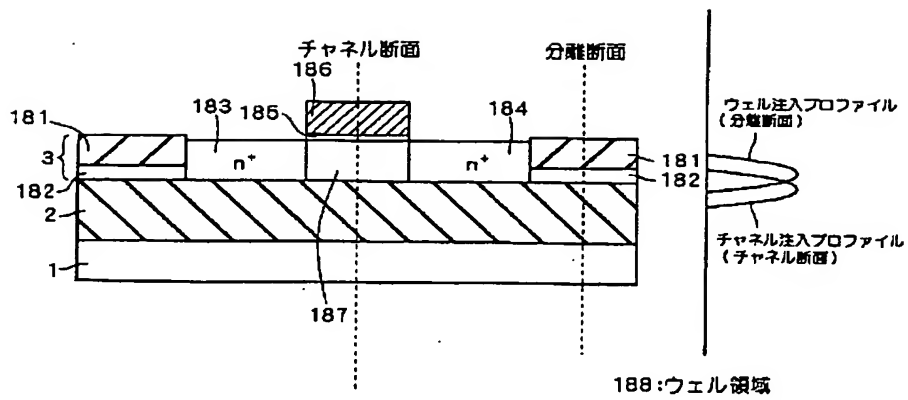
【图 9-1】



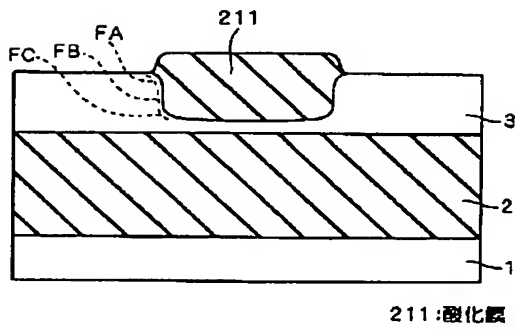




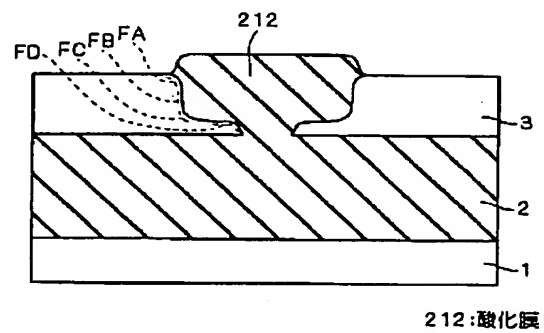
【図85】



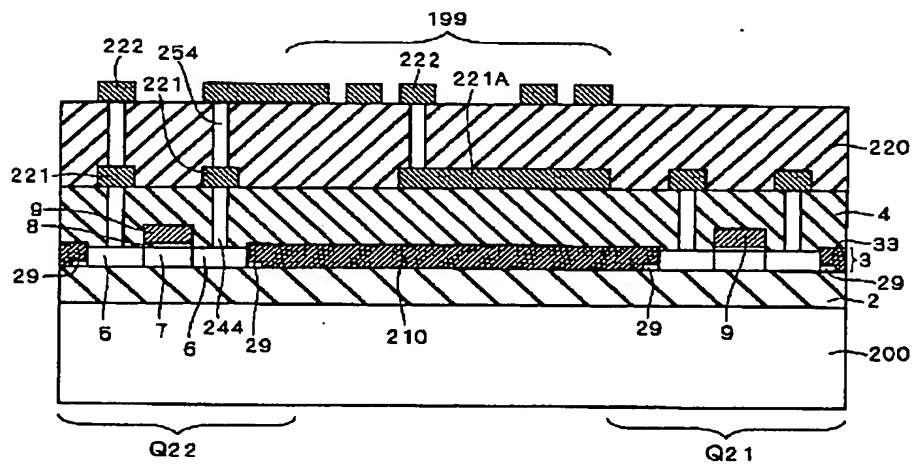
【図88】



【図89】



【図90】

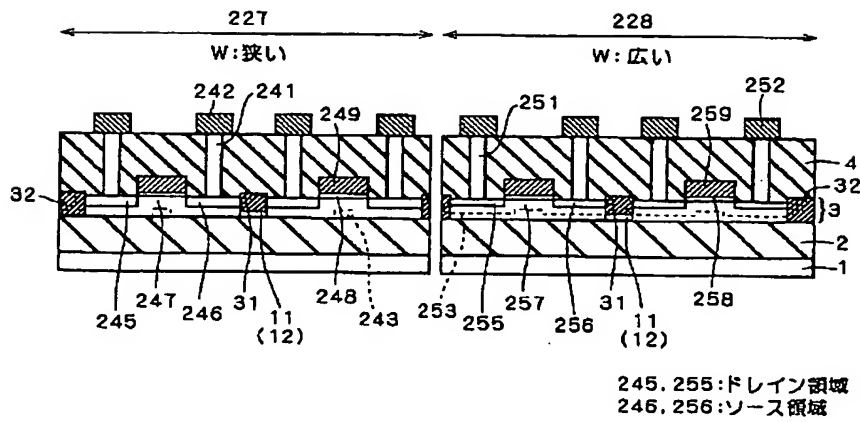


Q21, Q22: アナログ回路用トランジスタ  
199: スパイラルインタクタ

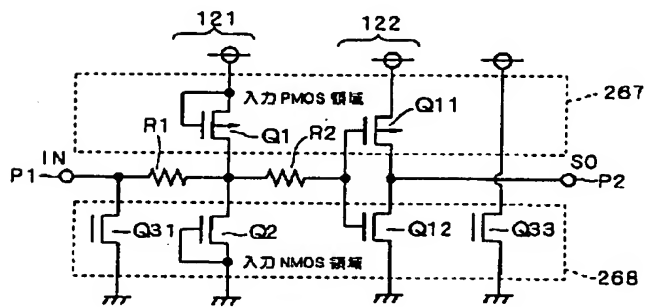
200: 高抵抗シリコン基板  
210: 酸化膜



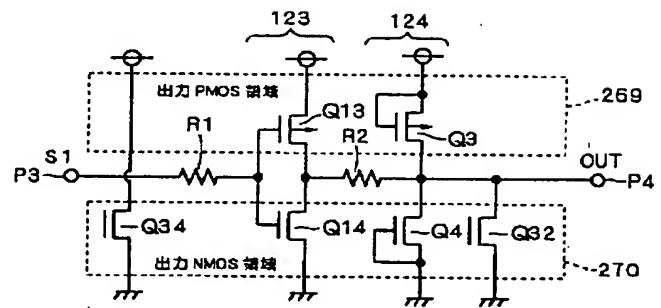
【図94】



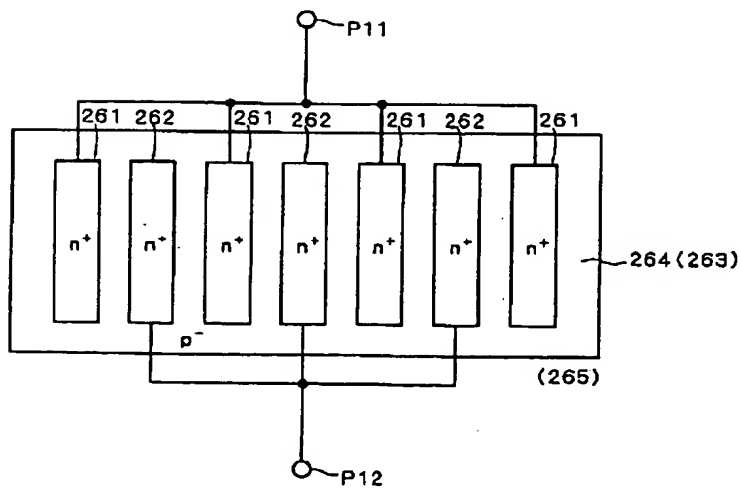
【図96】



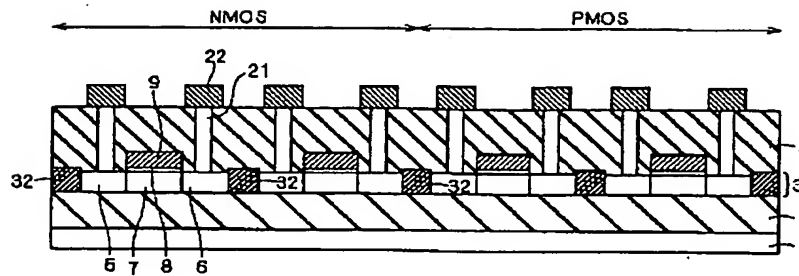
【図97】



【図99】



【図 102】



フロントページの続き

- (72)発明者 一法師 隆志  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内
- (72)発明者 岩松 俊明  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内
- (72)発明者 前田 茂伸  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内
- (72)発明者 平野 有一  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内
- (72)発明者 松本 拓治  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内
- (72)発明者 宮本 昭一  
東京都千代田区丸の内二丁目 2 番 3 号 三  
菱電機株式会社内

F ターム(参考) 5F032 AA01 AA07 AA34 AA44 AA77  
BA03 BA06 CA17 CA20 CA21  
DA01 DA12 DA22 DA33 DA43  
DA44 DA77  
5F048 AA00 AA03 AB03 AB06 AB07  
AB10 AC04 AC10 BA09 BB03  
BB15 BC11 BC16 BG01 BG07  
BG14 CC01 CC15 CC19  
5F110 AA15 AA21 BB04 CC02 DD05  
DD13 DD24 FF02 GG02 GG12  
GG24 HK05 HL03 HM02 NN02  
NN13 QQ30